

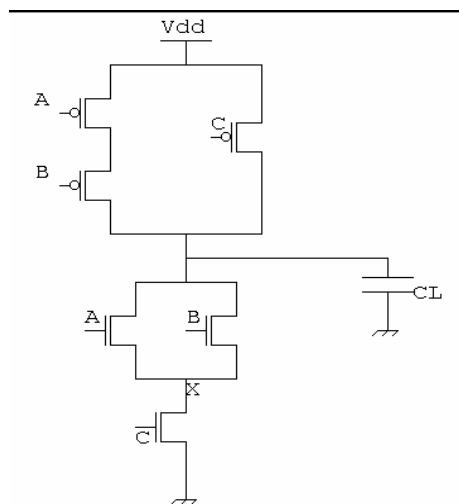
Scrivere (subito) nome, cognome e matricola nel riquadro che segue

Cognome	Nome	Matricola

Elettronica Applicata II – corso di recupero
A.A. 2002/2003
Prova Totale

Dati tecnologici: $\beta_n' = 150 \mu\text{A}/\text{V}^2$; $\beta_p' = 50 \mu\text{A}/\text{V}^2$; $V_{DD}=3 \text{ V}$; $V_{TN}=|V_{TP}|=0.6 \text{ V}$; $\gamma=0 \text{ V}^{1/2}$.

Esercizio 1:



- a. Determinare la funzione logica calcolata dalla porta logica in figura.

OUT = NOT((A+B)*C)

- b. Determinare le configurazioni degli ingressi A, B, C di caso peggiore e di caso migliore, per i transitori di carica e di scarica della capacità C_L .

Caso peggiore per il transitorio di scarica	$A=1 \quad B=0 \quad C=1 / A=0 \dots B=0 \quad C=1$
Caso migliore per il transitorio di scarica	$A=B=C=1$
Caso peggiore per il transitorio di carica	$A=B=0 \quad C=1$
Caso migliore per il transitorio di carica	$A=B=C=0$

- c. Supponendo $S_p=6$ il dimensionamento dei transistori pMOS della rete di pull-up, determinare il dimensionamento dei transistori nMOS in modo che siano uguali i transitori di carica e scarica di caso peggiore.

Soluzione: $\beta_n' S_{nEQ} = \beta_p' S_{pEQ}$; $S_{nEQ} = (S_p/2)/3 = 1$; $S_n = 2 * S_{nEQ} = 2$.

- d. Determinare il valore del nodo OUT dopo 5 ns dalla seguente transizione istantanea degli ingressi: $A=0; B=1; C=1 \rightarrow A=0; B=0; C=1$. Si consideri $C_L=10 \text{ pF}$. Inoltre si assumano trascurabili le capacità corrispondenti ai nodi interni. Si esegua il calcolo considerando i dimensionamenti calcolati al punto "c".

Soluzione: Ipotizzo di essere ancora in zona di saturazione. In tal caso:

$$5ns = -\frac{2C_L}{\beta'_p S_{pEQ}} \frac{V_{DSI} - V_{DSF}}{(V_{GS} - V_{TP})^2} = -\frac{2C_L - V_{DD} - (V_{OUTF} - V_{DD})}{\beta'_p 3 (V_{GS} - V_{TP})^2},$$

da cui si ottiene $V_{OUTF} = 0.216V$.

- e. Supponendo che al nodo X sia connessa la capacità parassita C_x , determinare il valore della corrente istantanea attraverso la capacità C_L a seguito della transizione $A=1; B=1; C=0; \rightarrow A=1; B=1; C=1$.

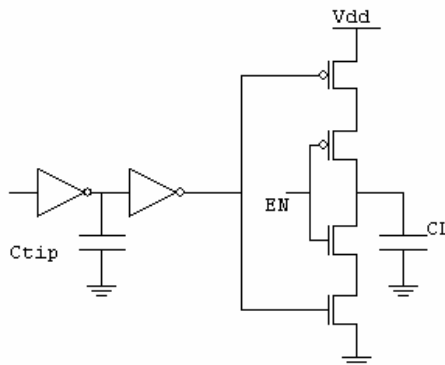
Soluzione: $=0A$

Quesiti:

- a. Descrivere in meno di 50 parole la dipendenza della soglia del transistor MOS dallo spessore dell'ossido di gate e dal drogaggio della regione di canale.

Risposta: La tensione di soglia del transistor MOS cala al calare dello spessore dell'ossido. Questo discende dal fatto che, a parità di tensione sul gate, aumenta la capacità della struttura di attrarre portatori minoritari nel canale e quindi passare in forte inversione. Inoltre, la tensione di soglia diminuisce al calare del drogaggio nella zona di canale. Questo perché risulta meno oneroso invertire la tipologia del semiconduttore (far sì che i portatori che prima erano minoritari diventino maggioritari).

- b. Si consideri un circuito a dimensionamento "tipico" chiamato a pilotare una capacità $C_L = 10000C_{TIP}$. Si dimensiona il transistor a canale n del buffer tri-state della figura seguente in modo da minimizzare il ritardo di propagazione.



$C_{ox} = 3,45 \text{ fF}/\mu\text{m}^2$ $L_{min} = 0,35 \mu\text{m}$ qualcuno ha dimensionato considerando $S=1$ per l'invertitore tipico; qualcun altro invece ha considerato $C_L = 10\text{pF}$. Va bene in entrambi i casi.

Soluzione del secondo caso $N=2$. Se il secondo stadio fosse un invertitore avrei che $G=100$. Poiché la topologia invece è data da un pull up e un pull down con due transistori allora ho un fattore 2 di differenza rispetto al caso dell'invertitore perciò:

$$G = \sqrt{2 \cdot 10000} = 141.4$$

Se C_{in} è la capacità d'ingresso del buffer tri-state ho che $C_L/C_{in} = G$ e perciò $C_{in} = G/C_L$

Ma è anche vero che $C_{in} = C_{ox} L_{min}^2 (S_n + S_p)$

$S_{neq} = S_n/2$ $S_{peq} = S_p/2$ $S_{peq} = \alpha S_{neq}$ ovvero $S_p/2 = 2 * S_n/2$ e dunque $S_p = 2S_n$

$C_{in} = C_{ox} L_{min}^2 3S_n$ dunque $S_n = C_{in} / (C_{ox} L_{min}^2 3) = G C_L / (C_{ox} L_{min}^2 3)$.

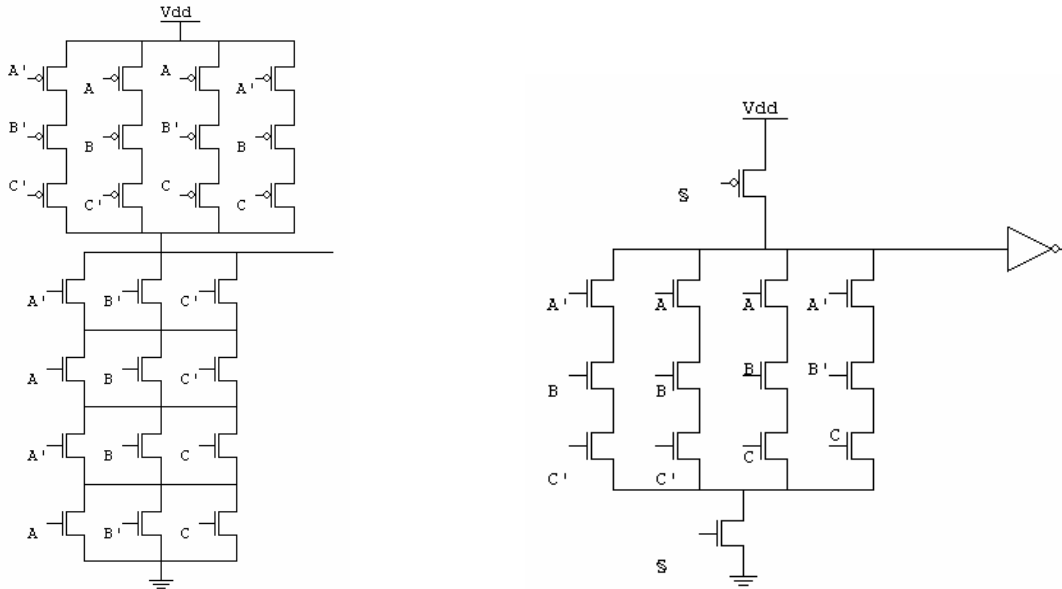
Con $C_L = 10\text{pF}$ $G = 141,4$ $S_n = 111,6 \rightarrow 112$ $S_p = 224$

- c. Tracciare lo schema di una porta logica in tecnologia FCMOS a uno stadio e in tecnologia DOMINO che dia in uscita la funzione XOR a 3 ingressi.

Sapendo che $XOR(A,B)=A'B+AB'$

$XOR(A,B,C)=XOR(XOR(A,B),C)=A'BC'+AB'C'+ABC+A'B'C$. Siccome per il gate FCMOS è richiesto un solo stadio nego due volte la funzione e me la ricavo in forma negata:

$$XOR(A,B,C)=NOT[(A+B'+C)*(A'+B+C)*(A+B+C')*(A'+B'+C')]$$



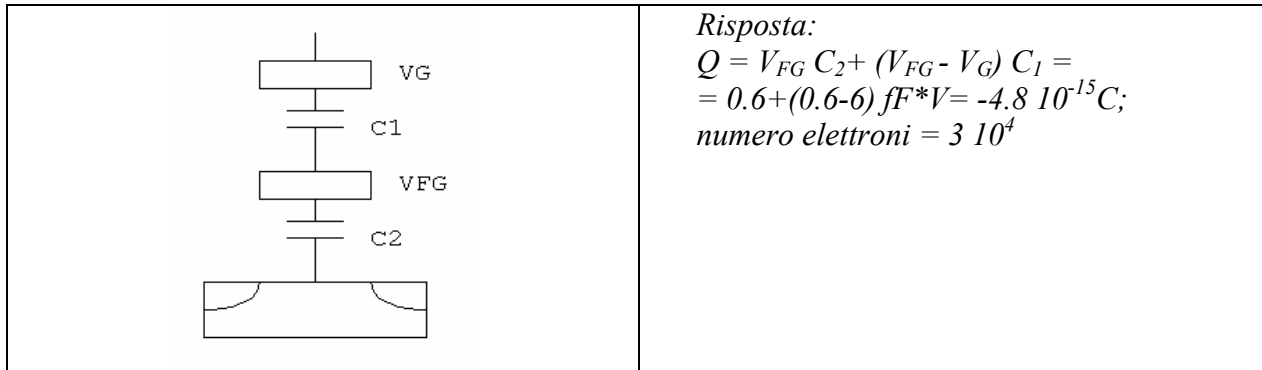
Nel caso del DOMINO ho sempre due stadi uno dei quali è un not, per cui l'uscita del primo stadio è in realtà XOR negato.

Quindi basta fare con gli NMOS $NOT[A'BC'+AB'C+ABC+A'B'C]$

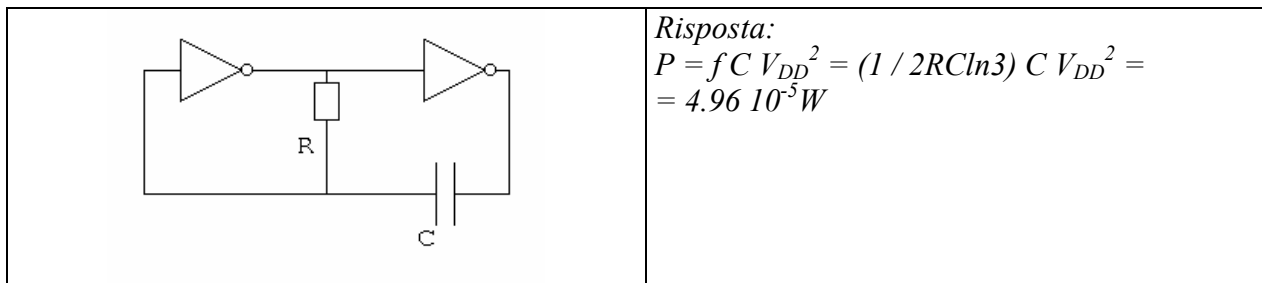
- d. Si calcoli a quale frequenza il consumo di potenza dinamica dell'invertitore di figura eguaglia quello di tipo statico. Considerare $C_L=10^{-14}$; $R=1 \text{ G}\Omega$; $S=1$.

	<p>Risposta: Si ha un consumo di potenza statica in corrispondenza dell'ingresso alto alla porta logica. Essa è progettata in modo tale che la tensione di uscita al termine del transitorio sia molto prossima a zero, quindi in regione lineare del transistor.</p> <p>Potenza statica: $V_{DD} * I_{STATICA} = V_{DD} * (V_{DD}-V_{OUT})/R$</p> <p>$V_{OUT}$ si ottiene uguagliando le correnti attraverso il pull-up e attraverso il pull-down. SI può svolgere questo calcolo per verificarne la trascurabilità:</p> $\frac{V_{DD} - V_{OUT}}{R} = \beta_n (V_{GS} - V_{TN}) V_{OUT}$ <p>da cui $V_{OUT} \sim 0$, , quindi è trascurabile rispetto a V_{DD}.</p> <p>Potenza statica = $V_{DD}^2 / R = 9 \cdot 10^{-9} \text{ W}$</p> <p>Potenza dinamica = $V_{DD}^2 C_L f = 9 \cdot 10^{-14} f \text{ W}$</p> <p>$f = 10^5 \text{ Hz}$</p>
--	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

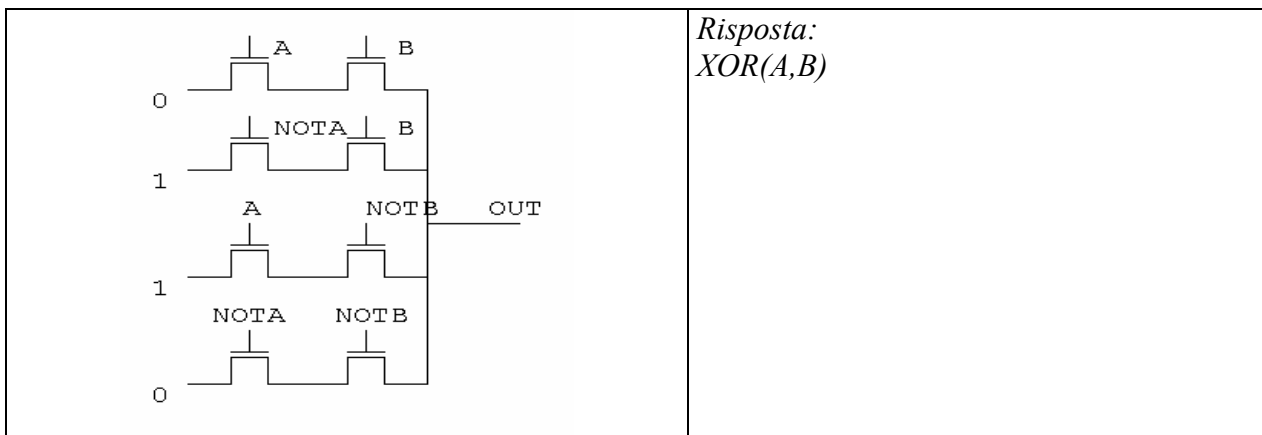
- e. Calcolare il numero di elettroni sul floating gate di un transistor da memoria non volatile necessario perché la tensione di soglia al C_G valga 6V. A questo fine si consideri $C1=C2=10^{-15} \text{ F}$. (carica elementare: $1.6 \cdot 10^{-19} \text{ C}$).



f. Calcolare il consumo di potenza del multivibratore astabile in figura, considerando $R=10^5$, $C = 10^{-12}$, $V_{DD} = 3.3$ V



g. Si ricavi la funzione logica del circuito in figura



h. Si confrontino le prestazioni del circuito della porta logica del punto precedente con quelle di un NAND a due ingressi realizzato in tecnologia FCMOS a parità di dimensionamento dei transistori.

Risposta:

Per quanto riguarda i transistori di discesa, i due circuiti da confrontare hanno le stesse prestazioni, in quanto la scarica della C_L avviene attraverso la serie di due transistori.

Nel transistoro di salita, invece, la tensione finale del circuito di cui al punto e (a differenza di quanto accade nel NAND FCMOS) si ferma $V_{DD} - V_{TN}$.