

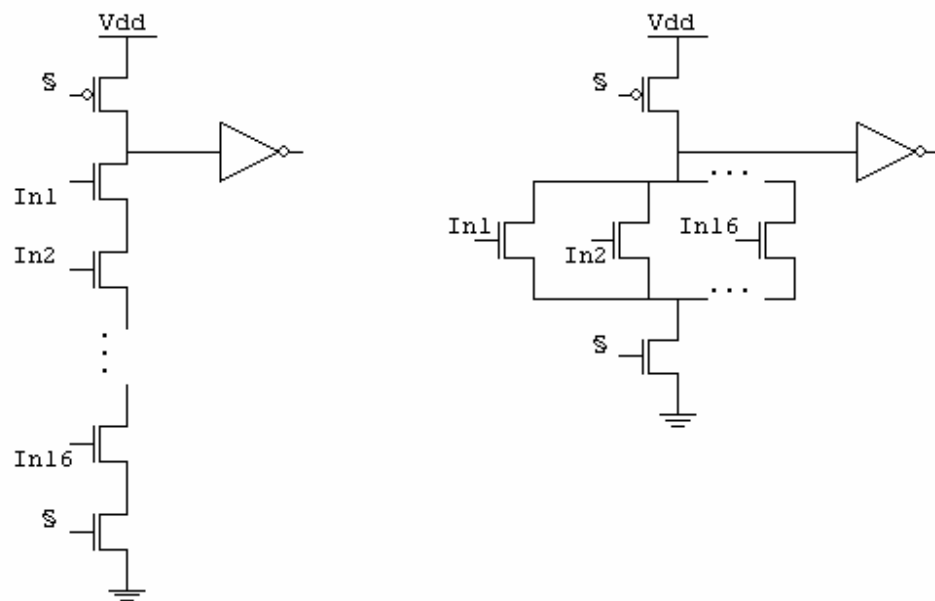
ESERCIZIO A

La soglia del transistor floating gate accettabile è 5,5V poiché è l'unico valore fra i tre proposti che è maggiore della tensione di word line 3,3V. Infatti il valore della tensione sulla bit-line deve rimanere inalterato in lettura e quindi il transistor deve rimanere spento.

ESERCIZIO B

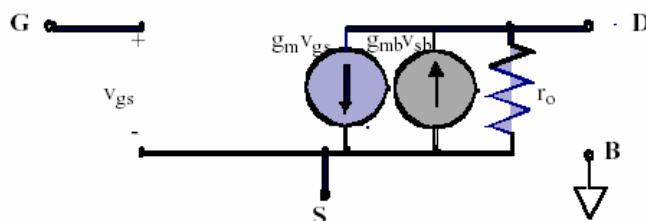
Perché il transitorio di salita avviene a V_{gs} decrescente, quindi il transistor NMOS va spegnendosi

ESERCIZIO C



A parità di dimensionamento S_n è più veloce l'OR domino a 16 ingressi rispetto all'AND domino a 16 ingressi perché nell'ipotesi di caso peggiore il circuito a PD è rispettivamente la serie di 2 NMOS contro la serie di 17 NMOS e dunque $K_{eq}=1/2K_n$ contro $K_{eq}=1/17K_n$ (con $K_n=K_n'S_n$ e $K_{eq}=K_n'S_{neq}$).

ESERCIZIO D

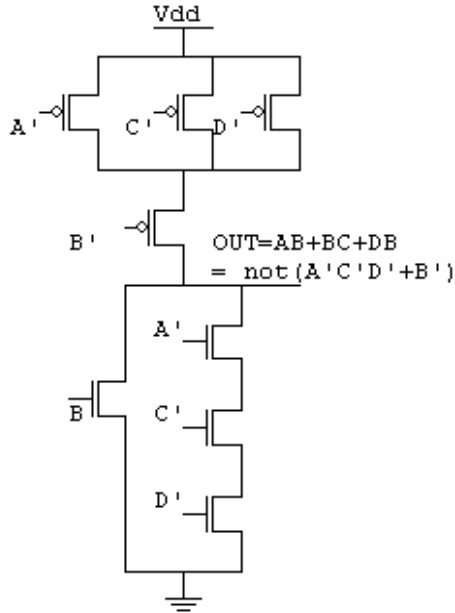


	g_m	r_0	g_{mb}
LIN	kV_{DS}	$\frac{1}{k(V_{GS} - V_T - V_{DS})}$	$\frac{0.5g_m\gamma}{\sqrt{2\Phi_F + V_{SB}}}$
SAT	$k(V_{GS} - V_T)(1 + \lambda V_{DS})$	$\frac{1 + \lambda V_{DS}}{\lambda I_{DS}}$	

$g_0 = 1/r_0$ oppure $r_0 = \frac{\partial V_{DS}}{\partial I_{DS}}$ modella l'effetto fisico della modulazione della lunghezza di canale.

ESERCIZIO I

1) $AB + BC + DB = (A + C + D) \cdot B = \overline{\overline{(A + C + D)} \cdot B} = \overline{A' C' D' + B'}$



2) Metodo I:

Nota che $t_{90\%}^{SAL} = 2 \cdot t_{90\%}^{DIS}$

$$\frac{2C_L}{K_p' \frac{W_{peq}}{L_{min}}} \cdot F_p = 2 \frac{2C_L}{K_n' \frac{W_{neq}}{L_{min}}} \cdot F_n \quad \text{ovvero} \quad \frac{2C_L}{K_p' S_{peq}} \cdot F_p = 2 \frac{2C_L}{K_n' S_{neq}} \cdot F_n$$

poiché siamo nelle condizioni in cui $F_n = F_p = F$ allora si riduce a:

$$\frac{2C_L}{K_p' S_{peq}} = 2 \frac{2C_L}{K_n' S_{neq}}$$

$$K_p' S_{peq} = \frac{K_n' S_{neq}}{2} \Rightarrow S_{peq} = \frac{K_n' S_{neq}}{K_p'} \Rightarrow S_{peq} = 2 \frac{S_{neq}}{2} \rightarrow S_{peq} = S_{neq}$$

$$S_{neq} = S_n / 3 \rightarrow S_n = 3S_{neq}$$

$$S_{peq} = S_p / 2 \rightarrow S_p = 2S_{peq} = 2S_{neq}$$

Dunque cerco S_{neq} e da cui ricavo S_n , S_{peq} ed S_p . Mi calcolo F x comodità:

$$F = \frac{1}{V_{DD} - V_{TN}} \cdot \left[\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} - V_{TN}) - 0.1 \cdot V_{DD}}{0.1 \cdot V_{DD}} \right) \right] =$$

$$= \frac{1}{2.6} \cdot \left[\frac{0.7}{2.6} + \frac{1}{2} \ln \left(\frac{2 \cdot (2.6) - 0.33}{0.33} \right) \right] = \dots \cong 0.62 \dots$$

$$t_{90\%}^{DIS} = \frac{2C_L F}{K'_n \cdot S_{neq}} \Rightarrow S_{neq} = \frac{2C_L F}{K'_n \cdot t_{90\%}^{DIS}} = \frac{2 \cdot 100 \cdot 10^{-15} \cdot 0,62}{100 \cdot 10^{-6} \cdot 100 \cdot 10^{-12}} \cong 2 \cdot 10 \cdot 0,62 = 12,4$$

$$S_n = 3S_{neq} = 37,2 \rightarrow 38$$

$$S_{peq} = S_{neq} \Rightarrow S_p = 2S_{peq} = 2S_{neq} = 24,8 \rightarrow 25$$

Metodo II (della resistenza equivalente):

$$t_{90\%} = C_L R_{eq} \ln 10 \text{ e } R_{eq} = \frac{t_{90\%}}{\ln 10 \cdot C_L} \text{ con}$$

Pull-Down: $R_{eq} = n_1 R_n$ Pull-Up: $R_{eq} = n_2 R_p$ con n_1 ed n_2 pari al numero di transistori in serie.

Trovate R_n e R_p so che

$$S_n = \frac{R_{eq,rif}}{R_n} S_{rif} \quad S_p = \frac{R_{eq,rif}}{R_p} S_{rif}$$

Dunque nel nostro caso:

$$t_{90\%}^{SAL} = C_L R_{eq} \ln 10 = C_L 2R_p \ln 10$$

$$t_{90\%}^{DIS} = C_L R_{eq} \ln 10 = C_L 3R_n \ln 10$$

$$t_{90\%}^{SAL} = C_L 2R_p \ln 10 \rightarrow R_p = \frac{200 ps}{100 fF \cdot 2 \cdot \ln 10} = \frac{1000}{\ln 10} \cong 434,78$$

$$t_{90\%}^{DIS} = C_L 3R_n \ln 10 \rightarrow R_n = \frac{100 ps}{100 fF \cdot 3 \cdot \ln 10} = \frac{1000}{3 \cdot \ln 10} \cong 144,93$$

$$S_n = \frac{R_{eq,rif}}{R_n} S_{rif} = \frac{5,39 K\Omega}{144,93\Omega} \cong 37,19 \rightarrow 38$$

$$S_p = \frac{R_{eq,rif}}{R_p} S_{rif} = \frac{10,78 K\Omega}{434,78\Omega} \cong 24,79 \rightarrow 25$$

3) Indico con pedice INV i fattori di forma di nmos e pmos dell'invertitore. Siccome dev'essere dimensionato come al punto 2 vuol dire che è l'invertitore equivalente al circuito FCMOS realizzato precedentemente e dunque mi basta ricavare il dimensionamento dai valori precedentemente ricavati come segue:

$$S_{pINV} = S_p / 2 = 12,5 \rightarrow 13$$

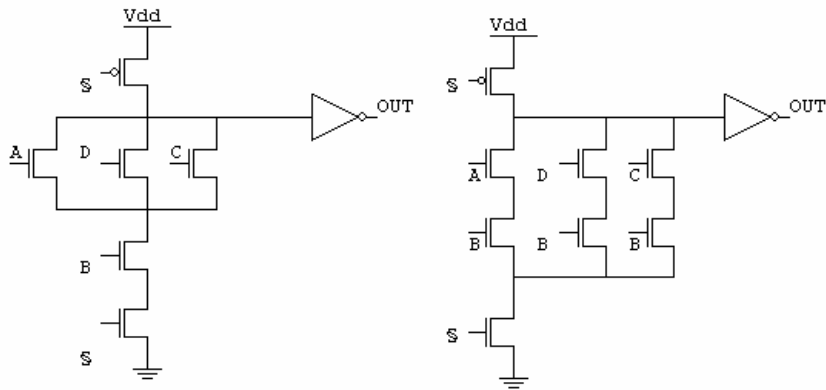
$$S_{nINV} = S_n / 3 = 17$$

Il caso peggiore sono i fronti di salita che, nel caso peggiore, sono più lenti (200ps) rispetto ai fronti di discesa (100ps). Dunque per rendere il circuito complessivo più veloce conviene scegliere la soglia più bassa, ovvero 0,4V_{dd}

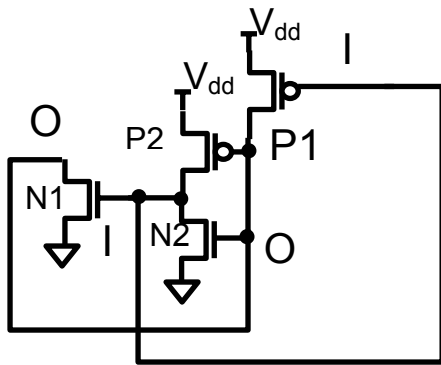
4) Devo realizzare la stessa funzione al punto 1 in logica domino. Quindi ho due stadi di cui il secondo è un invertitore. A valle dell'invertitore devo avere la funzione negata cioè:

$$OUT' = \overline{AB + BC + DB} = \overline{B(A + D + C)}$$

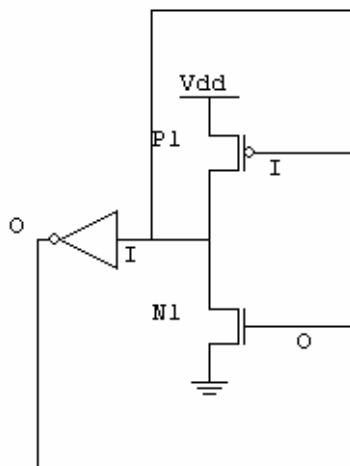
Entrambi gli schemi seguenti sono corretti:



ESERCIZIO L



Ridisegna il circuito come segue (l'invertitore contiene P2 e N2):



1) Punti di lavoro stabili:

- $V_o = V_{dd}$ per cui $V_i = 0$ e perciò P1 on; N1 off
- $V_o = 0$ per cui $V_i = V_{dd}$ e perciò P1 off e N1 on

Punto di lavoro instabile:

- $V_o = V_i = V_{LT}$

Calcolo V_{LT} con la formula della soglia logica con $K_N = 2K_P$ e $S_N = S_P = 1$:

$$V_{LT} = V_{IN} = V_{OUT} = \frac{V_{DD} + V_{TP} + V_{TN} \sqrt{\frac{K_N}{K_P}}}{1 + \sqrt{\frac{K_N}{K_P}}} = \frac{V_{DD} + V_{TP} + V_{TN} \sqrt{\frac{K'_N S_n}{K'_P S_p}}}{1 + \sqrt{\frac{K'_N S_n}{K'_P S_p}}} =$$

$$= \frac{3,3 - 0,7 + 0,7\sqrt{2}}{1 + \sqrt{2}} \cong 1,487V$$

2) Consumo di potenza statico nei punti di lavoro stabili nullo.

Calcolo il consumo di potenza statico nel punto di lavoro instabile, mi trovo in regione di saturazione per tutti i transistori. Calcolo la corrente di saturazione per il PMOS

$$I_{sat} = \frac{K'_p}{2} S_p (V_{GS} - V_{TP})^2 = \frac{K'_p}{2} (V_{LT} - V_{DD} - V_{TP})^2 =$$

$$= \frac{50 \cdot 10^{-6}}{2} (1,487 - 3,3 + 0,7)^2 = 30,969225 \cdot 10^{-6} \approx 31 \mu A$$

$$P_{STA} = V_{DD} 2I_{sat} = 204,6 \mu W$$

3) Ho quattro capacità di gate 2 le incontra il segnale I e 2 le incontra il segnale O.

$$P_{DIN} = 4C_G V_{dd}^2 f = 43,56 \mu W$$

4) $V_O = V_{DD}/2$ nel punto di lavoro instabile significa dimensionare la soglia in modo che sia a metà dello swing logico. Dunque basta verificare la condizione:

$K_n = K_p$ ovvero $K_n' S_n = K_p' S_p$ e perciò $S_p = 2S_n$. Dunque se S_n resta pari a $S_n = 1$ allora $S_p = 2$