

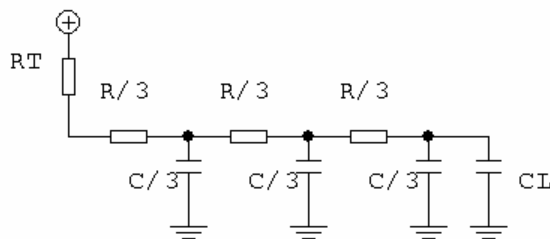
cognome	A	B	C	D	E	F	G	H	I	L	Totale
	2	2	2	2							
nome	matricola										

A Scrivere l'espressione del ritardo di Elmore associato al modello a 3 stadi di una linea di resistenza R e capacità C, caricata da una capacità CL, e pilotata da un transistor di pull-up con resistenza equivalente RT. Si tracci il circuito equivalente.

$$\tau_{elmore} = \sum_{i=1}^N R_i \sum_{j=i}^N C_j$$

$$\tau_{elmore} = \left(C_L + \frac{C}{3} \right) (R_T + R) + \frac{C}{3} \left(R_T + \frac{2R}{3} \right) + \frac{C}{3} \left(R_T + \frac{R}{3} \right)$$

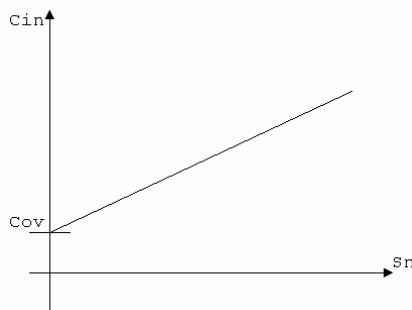
$$\tau_{elmore} = R_T C_L + R_T C + R C_L + \frac{2}{3} R C$$



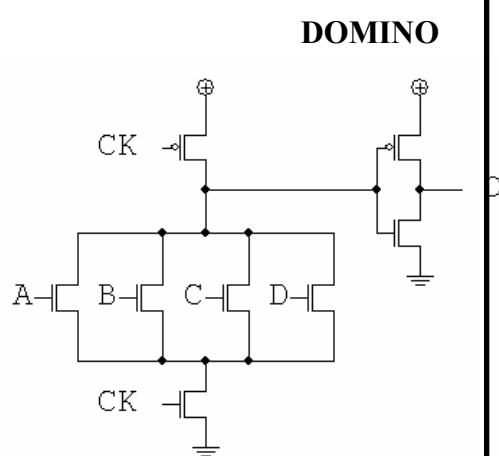
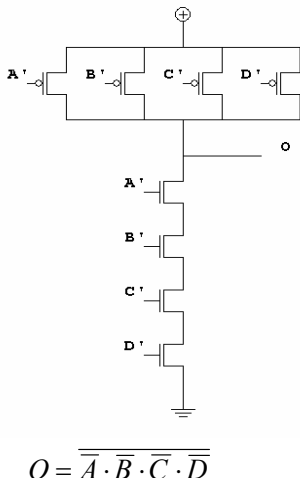
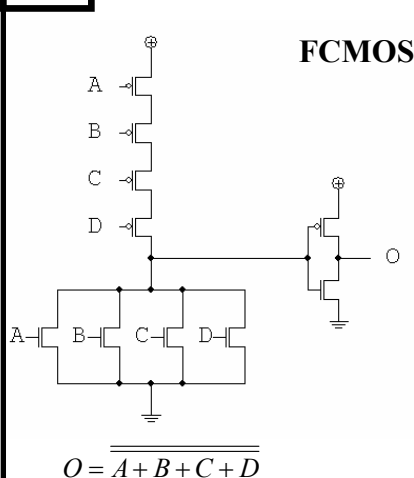
B Si tracci il grafico della capacità di ingresso di un invertitore CMOS in funzione del dimensionamento dei transistori.

$$\frac{S_p}{S_n} = \alpha \quad \text{cost.}$$

$$C_{in} = C_{ov} + C_{ox} L^2 S_n (1 + \alpha)$$



C Tracciare lo schema di una porta logica in tecnologia FCMOS e DOMINO che dia in uscita la funzione OR a 4 ingressi. $O = A + B + C + D = \overline{\overline{A + B + C + D}} = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}}$



D Si spieghi come è possibile realizzare una memoria non volatile multilivello (in meno di 60 parole)

Una memoria non volatile multilivello è una struttura a gate flottante in cui è possibile iniettare quantità discrete e precise di carica, in modo da avere vari livelli possibili per la tensione di controllo

E	F	G	H
2	2	2	2

Totale

E **ELETTRONICA LB: Come varia il valore del “logical effort” di un gate al variare del dimensionamento? (si motivi la risposta in meno di 60 parole)**

ELETTRONICA II: Definire la tensione di soglia logica V_{LT} di un invertitore. Scriverne l’espressione matematica generale e dire in quale condizioni V_{LT} si trova esattamente a metà dello swing logico.

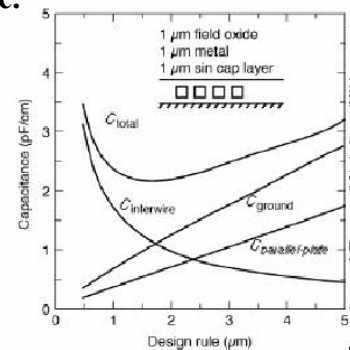
ELETTRONICA LB: Per definizione il “logical effort” è il rapporto fra la capacità di ingresso di un gate e la capacità di ingresso di un inverter che eroga la stessa corrente di uscita. Essendo un rapporto fra grandezze sottoposte allo stesso fattore di dimensionamento, il “logical effort” non varia.

ELETTRONICA II: la soglia logica V_{LT} è il valore di tensione ottenuto cortocircuitando l’ingresso e l’uscita di un invertitore. Ossia il valore in cui $V_{IN} = V_{OUT}$. Si ottiene:

$$V_{LT} = \frac{V_{DD} + V_{TP} + \sqrt{\frac{\beta_N}{\beta_P}} V_{TN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad \text{In particolare se } V_{TN} = -V_{TP} \text{ e } \beta_N = \beta_P \text{ allora } V_{LT} = \frac{1}{2} V_{DD}$$

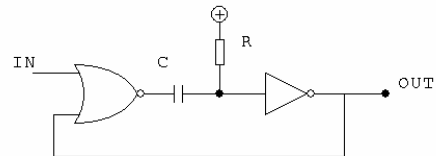
F **Come varia la capacità di accoppiamento tra linee di interconnessione con il progredire della tecnologia? Si motivi la risposta in meno di 60 parole.**

Le linee diventano più strette e vicine fra loro. Perciò per unità di lunghezza le capacità verso il substrato diminuiscono, mentre aumentano quelle fra linea e linea.



G **Si tracci lo schema di un circuito monostabile in tecnologia CMOS. Se ne illustri il funzionamento (in meno di 60 parole).**

Consideriamo $IN=0$ e C scarico. In equilibrio C è un circuito aperto, l’ingresso del NOT è quindi a V_{DD} e quello del NOR è a livello logico alto. Portando $IN=1$ per un breve periodo, l’uscita del NOR commuta a 0 trascinando anche l’ingresso del NOT poiché C non può caricarsi istantaneamente. OUT si porta alto e permette di mantenere il NOR a 0 per tutto il tempo di carica di C . Quando C supera la V_{LT} del NOT, si ripristinano le condizioni iniziali e C si scarica attraverso R



H **Perché la tensione di alimentazione dei circuiti CMOS viene ridotta con lo scalare della tecnologia? (si motivi la risposta in meno di 60 parole)**

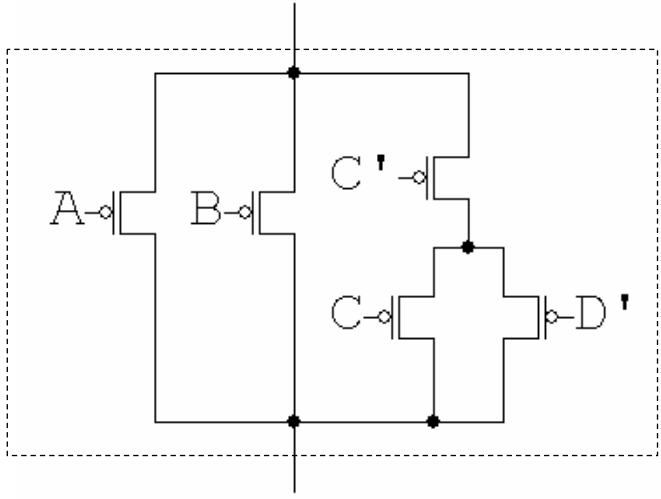
- (i) Per evitare il deterioramento dell’ossido
- (ii) Per tenere sotto controllo il consumo di potenza dinamico

I1	I2	I3	I4	Totale
2	2	2	2	

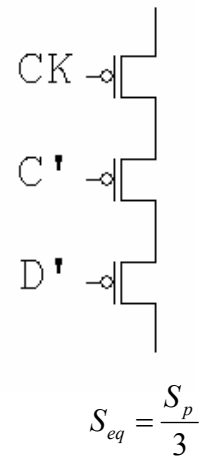
$O = AB(C' + CD')$

- 1) Si realizzi la rete di pull up X con transistori PMOS (sono disponibili gli ingressi in forma vera e negata)
- 2) Assumendo che il transistore NMOS abbia $S=1$, dimensionare i PMOS in modo che la tensione nel nodo I sia tale da garantire swing logico $[0, V_{DD}]$ su O. Si consideri l'invertitore ideale.
- 3) Si calcoli il consumo di potenza statico di caso peggiore quando $CLK=1$ e quando $CLK=0$.
- 4) Modificare il circuito in modo che il consumo di potenza statico sia nullo, senza aggiungere transistori

1) Il solo blocco X è:



Percorso critico



2) Se l'invertitore è ideale, è sufficiente che V_I raggiunga il valore $V_{LT} = \frac{1}{2} V_{DD}$. Il caso peggiore che si possa verificare sulla rete di pull-up è la serie di tre P-MOS (vedi sopra), dimensionandoli tutti uguali, si può usare il fattore di forma equivalente $S_{eq} = S_p / 3$. Con $V_I = \frac{1}{2} V_{DD}$ si ha:

NMOS: $V_{DS} < V_{GS} - V_{TN}$ Zona Lineare

PMOS_eq: $V_{DS} > V_{GS} - V_{TP}$ Zona Lineare

eguagliando le correnti $I_{DS_N} = I_{DS_P}$ si trova il fattore di forma per i PMOS

$$S_N \frac{\beta'_n}{2} (2(V_{GS_n} - V_{TN})V_{DS_n} - V_{DS_n}^2) = S_{P_{eq}} \frac{\beta'_p}{2} (2(V_{GS_p} - V_{TP})V_{DS_p} - V_{DS_p}^2)$$

$$S_{P_{eq}} = S_N \frac{\beta'_n}{2} \frac{2}{\beta'_p} = 2$$

$$S_p = 6$$

3)

$$CLK=1 \quad \begin{cases} I_{statica} = 0A \\ P_{statica} = 0W \end{cases}$$

Per il caso CLK=0: il caso peggiore dal punto di vista del consumo di potenza statico è quando la corrente è maggiore, ovvero la combinazione degli ingressi è A=B=C=D=0; in questo caso nel blocco X tutti e tre i rami conducono. Calcolo $S_{p_{eq}}$ in tale caso. Il blocco X è il parallelo di 3 rami, uno di essi è la serie di 2 pMOS, perciò: $S_{p//Sp//((Sp/2))} = Sp+Sp+Sp/2=5Sp/2$. La serie del pMOS con ingresso CLK e il blocco X dà $S_{p_{eq}}=5Sp/7$ (con $Sp=6$ come calcolato al punto 2).

Quando il CLK=0, per il pMOS equivalente:

$$V_{GS} - V_{TP} \underset{<}{>} V_{DS} \Rightarrow V_G - V_{TP} \underset{<}{>} V_D \Rightarrow 0 - (-0,7) \underset{<}{>} V_I$$

Dunque il pMOS è in saturazione se $V_I < 0,7$ altrimenti in regione lineare. Per il dimensionamento effettuato al punto 2, $V_I \geq V_{DD}/2$ e dunque il pMOS equivalente è certamente in regione lineare. Con ragionamenti analoghi si trova che il transistor nMOS è saturo per $V_I > 2,6$; in regione lineare altrimenti. Il transistor si può trovare in entrambi. Faccio un'ipotesi di cui va verificata la consistenza: siccome sono nel caso "più conduttivo" per il PU, è probabile che V_I sia molto vicina a V_{DD} , ovvero che il PD sia in saturazione. Verifico trovando il valore di V_I :

$$\frac{S_n \beta_n'}{2} (V_{DD} - V_{TN})^2 = \frac{S_p \beta_p'}{2} [2(0 - V_{DD} - V_{TP})(V_I - V_{DD}) - (V_I - V_{DD})^2]$$

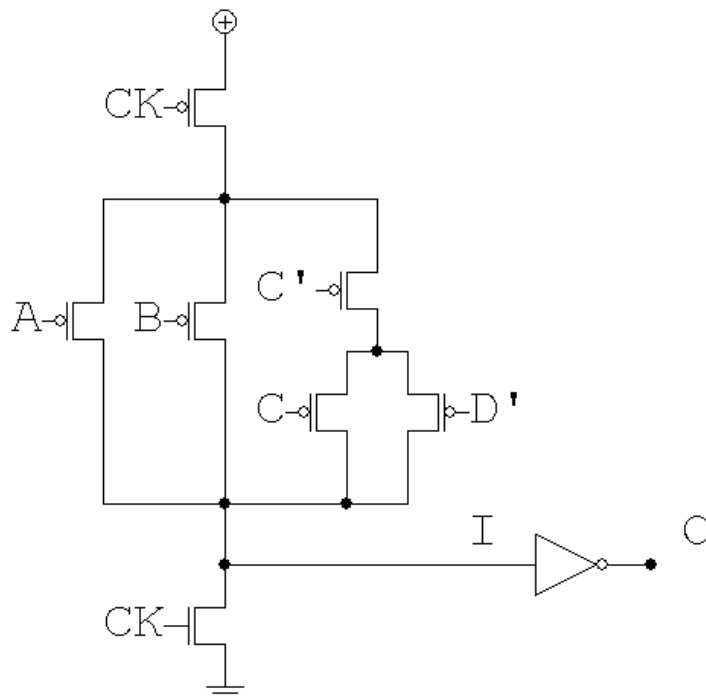
$$2,6^2 = 3 \cdot [6,27 + 1,4V_I - V_I^2]$$

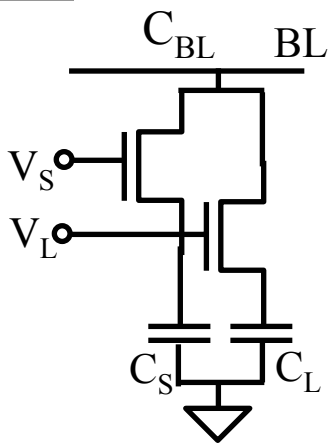
Da cui risultano un valore di $V_I < 0$ (non consistente) ed uno pari a circa 2,8V (consistente):

$$I_{DS} = \frac{S_n \beta_n'}{2} (V_{DD} - V_{TN})^2 = 1 \cdot \frac{100}{2} \mu \cdot 2,6^2 = 338 \mu A$$

$$P_{statica} = V_{DD} I_{DS} = 3,3V \cdot 338 \mu A \cong 1,115 mW$$

4)





Per la “double wordline” DRAM cell in figura , con $C_{BL}=1pF$:

1) Si assumo $C_L > C_S$, entrambe inizialmente scariche, e BL precaricata a V_{DD} . Detti $V_{00}, V_{01}, V_{10}, V_{11}$, i valori finali di tensione a cui si porta la BL in risposta ai valori 00, 01, 10, 11 di V_S e V_L , si ordinino i valori finali di BL in ordine decrescente.

2) Si dimensiono C_S in modo che la variazione di tensione sulla BL di caso peggiore sia almeno 100mV.

3) Si dimensiono C_L in modo che minimo e massimo valore di tensione sulla BL in fase di lettura siano distanziati tra loro di almeno 400mV.

4) Si stimo la durata (90%) del transitorio di lettura a seguito di una transizione $0 \rightarrow 1$ su V_S (e $V_L = 0$) con C_S inizialmente scarica, assumendo, per semplificare i calcoli, che la tensione di BL resti costante al valore di precarica (V_{DD}).

Per il principio di conservazione della carica: $V'_{BL} \cdot C_{BL} = V''_{BL} \cdot (C_{BL} + C)$

$$1) \quad V_{00} > V_{10} > V_{01} > V_{11}$$

$$2) \quad \Delta V = V'_{BL} \frac{C_S}{C_{BL} + C_S}; \quad C_S = 31,25 fF$$

$$3) \quad \Delta V = V'_{BL} \frac{C_S + C_L}{C_{BL} + C_S + C_L}; \quad C_L = 106,7 fF$$

4) Per ipotesi $V_{BL} = V_{DD}$. Perciò $V_{GD} = 0$, $V_{GD} < V_{TN}$ e il transistoro NMOS opera sempre in saturazione.

Si assume $S = W/L = 1$.

$$t_{SAT} = \frac{2C_S}{\beta_N} \cdot \left(\frac{1}{V_{GSF} - V_{TN}} - \frac{1}{V_{GS(0^+)} - V_{TN}} \right) = 2,16 n sec$$

PARAMETRI TECNOLOGICI ($V_{dd} = 3.3 \text{ V}$)

n-channel

p-channel

V_{T0}	0.7 V	-0.7
β'	100 $\mu\text{A}/\text{V}^2$	50 $\mu\text{A}/\text{V}^2$
C_{ox}	3.45 fF/ μm^2	3.45 fF/ μm^2
L_{min}	0.35 μm	0.35 μm
λ	0	0
γ	0	0