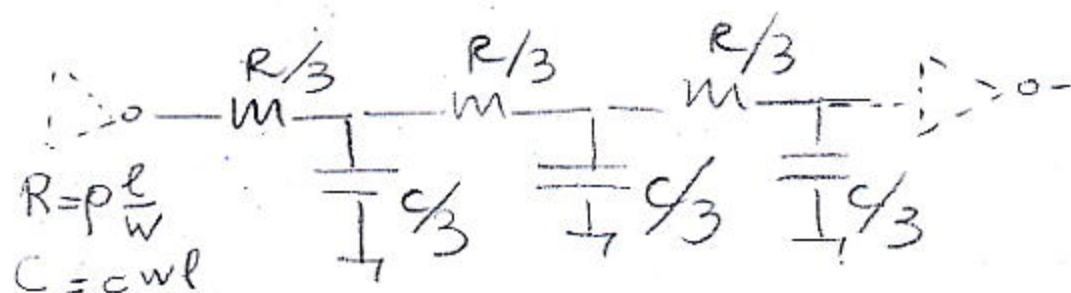


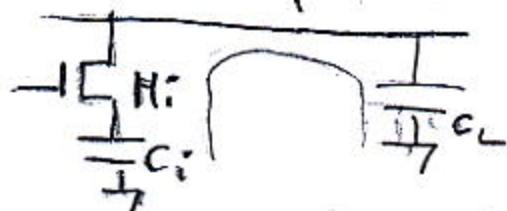
A



B Le celle dummy sono celle associate ad ogni $1/2$ linea di una DRAM. Sono precaricate al riferimento (non hanno contenuto informativo). Servono a rendere il più possibile simmetrica la variazione di tensione sulle bit lines che non dipende dalla cella letta.

C Le memorie EPROM si cancellano mediante radiazioni ultraviolette attraverso 1 finestra trasparente ad esse, dissolta in quarzo aperta nel contenitore ceramico (costoso). La cancellazione è lenta e non selettiva.

D La lettura è distruttiva xché comporta la redistribuzione della carica fra C_i e C_L



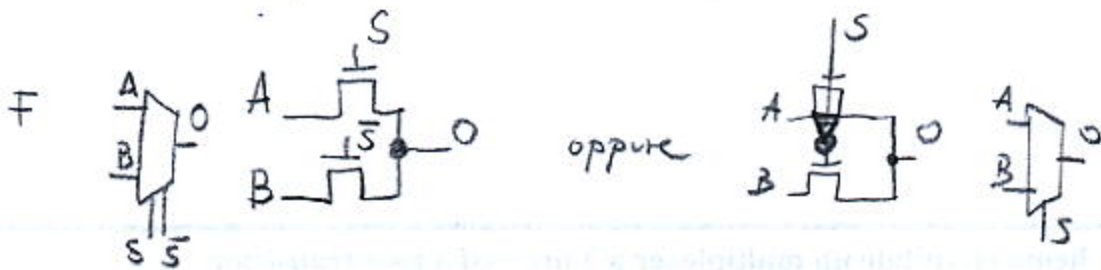
C_i capacità i-esima cella

C_L capacità linea

M_1 transistor dell' i-esima cella

Se attivo M_1 in lettura crea 1 canale conduttivo che comporta 1 passaggio di corrente ed 1 redistribuzione di carica fra C_L e $C_i \Rightarrow C_i$ perde il suo contenuto informativo

E All'ingresso in saturazione avviene la sottrazione del canale all'estremo drain



G QUANDO IL FANIN È TROPPO GRANDE SIGNIFICA CHE HO TROPPI TRANSISTORI IN SERIE \Rightarrow IL GATE È LENTO

E ——— A parità di funzione & DOMINIO la N_{in}HOS la parte logica FCHOS ha il segnale che entra in N_{in}HOS + N_{in}PMOS (2N_{in}transistor).

Dunque a stessa C_{in} & S, quale è + veloce?

$$C_{in}^{FCHOS} = C_{ox} \times L^2 \times \min(S_n + S_p)$$

dove S_n e S_p sono dati da tutti i contibuti S_{n1} e S_{p1}

$$C_{in}^{DOMINIO} = C_{ox} \times L^2 \times \min(S_{n_{domin}})$$

$$\& C_{in}^{SOLU} = \Rightarrow S_{n_{domin}} = (S_n + S_p)_{FCHOS} \Rightarrow S_{n_{domin}} > S_{n_{FCHOS}}$$

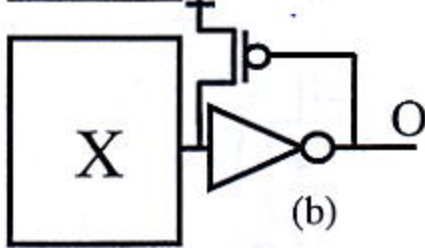
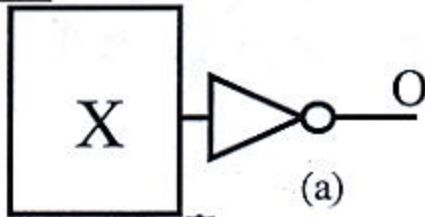
$$\Rightarrow \frac{1}{S_{n_{DOM}}} < \frac{1}{S_{n_{FCHOS}}} \text{ e siccome } \tau \propto \frac{1}{S} \Rightarrow \tau_{domin} < \tau_{FCHOS}$$

I

$$O = A(BC + B'CD) + E$$

I1	I2	I3	I4
2	2	2	2

Totale

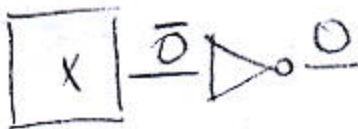


1) Si disegni il blocco X in figura (a) come primo stadio di una porta logica DOMINO (sono disponibili gli ingressi sia in forma vera che negata). I due stadi (blocco X + inverter) realizzano la funzione O indicata.

2) Assumendo che la capacità di ingresso dell'invertitore sia $C_{IN} = 100\text{fF}$, dimensionare i transistori del blocco X per un ritardo (al 90% dello swing logico) di caso peggiore di 500 psec

3) Si dica quale fra gli ingressi A, B, C, D, B' ha capacità di ingresso maggiore e la si calcoli

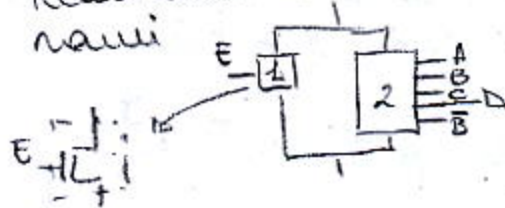
4) Si illustrino in meno di 80 parole i vantaggi e svantaggi della modifica in figura (b)



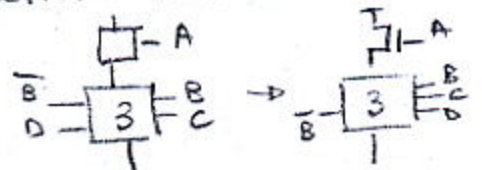
L'uscita del blocco X è

$$\bar{O} = \overline{A \cdot (BC + \bar{B}CD) + E}$$

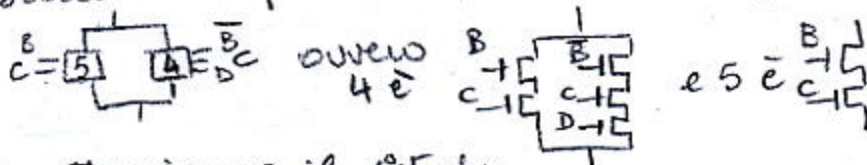
Realizzato come sottorete di n MOS è il parallelo di 2 rami



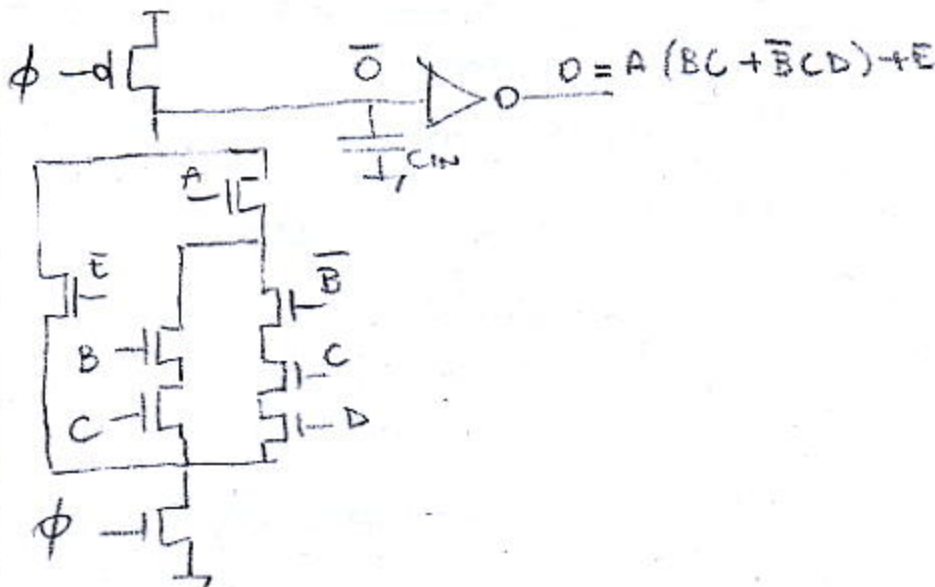
Il blocco 2 è a sua volta una rete compleme costituita dalle serie fra 2 blocchi



Ancora. Il blocco 3 è il parallelo di 2 blocchi



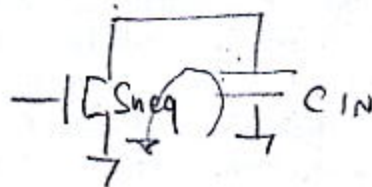
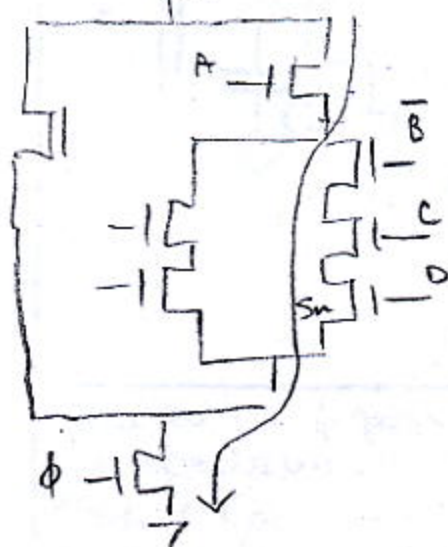
Risultando otteniamo il 1° stadio del DOMINO



$$1) C_{IN} = 100 \text{ fF} \quad \tau_{90\%} = 500 \text{ psec} \quad \beta' = k'$$

$$\beta'_p = 50 \mu\text{A/V}^2 \quad \beta'_n = 100 \mu\text{A/V}^2 = 2\beta'_p$$

Caso peggiore: PD, serie con numero massimo di transistori



$$S_{req} = \frac{S_n}{5}$$

$$V_{GS} - V_{TN} = \text{cost} = 2,6 \text{ V}$$

Dimostrare ho la scarica di un nMOS e $V_{GS} - V_{TN}$ costante con $V_{DS1} = V_{DD} = 3,3$

$$V_{DSF} = V_{DD} - 90\% \cdot V_{DD} = 0,1 V_{DD} = 0,33 \text{ V}$$

Il transistor opera in entrambi le regioni di funzionamento (saturazione e zona triodo) cioè applico la formula

$$t_f = \frac{2 C_{IN}}{\beta'_n S_{req}} \cdot \frac{1}{V_{DD} - V_{TN}} \left(\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \frac{2(V_{DD} - V_{TN}) - 0,1 V_{DD}}{0,1 V_{DD}} \right)$$

$$= \frac{2 C_{IN}}{\beta'_n S_{req}} \cdot \frac{1}{2,6} \left(\frac{0,7}{2,6} + \frac{1}{2} \ln \frac{5,2 - 0,33}{0,33} \right) =$$

$$\approx \frac{2 C_{IN}}{\beta'_n S_{req}} \cdot 0,62$$

$$\Rightarrow S_{req} \approx \frac{2 C_{IN}}{\beta'_n \tau_{90\%}} \cdot 0,62 = \frac{2 \cdot 100 \cdot 10^{-15} \cdot 0,62}{100 \cdot 10^{-6} \cdot 500 \cdot 10^{-12}} \approx 2,48$$

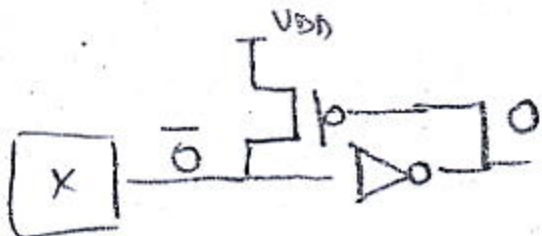
$$S_n = 5 \cdot S_{req} = 12,4 = \frac{W}{L_{min}} \Rightarrow W = 4,34 \mu\text{m}$$

3) Il segnale C entra nel maggior numero di transistori (2)

$$C_{IN} = 2 C_{ox} \cdot L^2_{min} \cdot S_n = 2 \cdot 3,45 \frac{\text{fF}}{\mu\text{m}^2} \cdot (0,35)^2 \mu\text{m}^2 \cdot 12,4 = 10,48 \text{ fF}$$

4) volti falso avanti:

I4)



Quando $V_o = 0V \Rightarrow V_o = V_{DD} \Rightarrow$ PMOS off

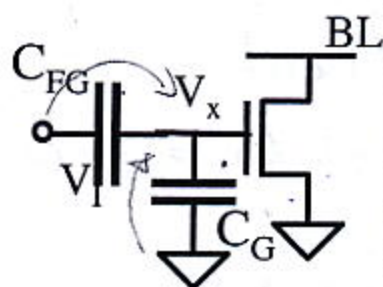
Quando $V_o = V_{DD} \Rightarrow V_o = 0V \Rightarrow$ PMOS on

Questa configurazione viene usata "statica" il fatto

Vantaggio \rightarrow contrasta effetti delle correnti di perdita
 Velocine le salite di 0 nel tratto
 $V_{LT} \rightarrow V_{DD}$

Mantenendo alto stabile 0 quando PMOS on

Svantaggio \rightarrow E' in competizione con il PD di X nella commutazione da alto a basso di 0 nel tratto $V_{DD} \rightarrow V_{LT} \Rightarrow$ scarica + lenta



- Si assuma $C_{FG}=50\text{fF}$ e la capacità di gate del transistor $C_G=100\text{fF}$.
- 1) Si calcoli il valore minimo della tensione V_X (quando $V_I=0$) necessario per garantire che il dispositivo resti sotto soglia per V_I che assume un valore qualunque nell'intervallo $[0;3.3]\text{V}$.
 - 2) Si calcoli il valore della tensione V_X (quando $V_I=0$) necessario per garantire l'accensione del dispositivo per $V_I=1.0\text{V}$.
 - 3) Assumendo per il transistor $W=0.5\mu\text{m}$, $L=0.35\mu\text{m}$, BL pre-caricata a $V_L(t=0^-)=3.3\text{V}$, $V_X(t=0^-)=0$, $V_I(t=0^-)=0$, si calcoli la corrente $I_{DS}(t=0^+)$ a seguito di un fronte istantaneo di V_I da 0 a 3.3V al tempo $t=0$.
 - 4) Nelle condizioni del punto 3, si calcoli la durata al 90% del transitorio di scarica della linea BL, se $C_L=1\text{pF}$.

Quello in figura funziona come transistor floating gate il cui comportamento è stato modellato con i portatori capacitivi. C_{FG} e C_G rappresentano i valori efficaci delle capacità tra floating gate e canale e tra control gate e floating gate. Dunque

$$Q_{FG} = (V_X - V_I) C_{FG} + C_G V_X = \\ = V_X (C_{FG} + C_G) - V_I C_{FG}$$

Per la conservazione della carica $Q_{FG}(t_1) = Q_{FG}(t_2)$, dati due istanti t_1 e t_2 da cui

$$V_X(t_1) (C_{FG} + C_G) - V_I(t_1) C_{FG} = V_X(t_2) (C_{FG} + C_G) - V_I(t_2) C_{FG}$$

$$V_X(t_2) = V_X(t_1) + \frac{\Delta V_I C_{FG}}{C_{FG} + C_G} \quad \text{con } \Delta V_I = V_I(t_2) - V_I(t_1) (*)$$

- 1) Il transistor va in conduzione per $V_X \geq V_{TH} = 0.7\text{V}$
 Nel caso peggiore per $V_I = 3.3\text{V}$ $V_X = 0.7\text{V}$ applicata (*)
 con $V_X(t_1) = 0.7$ $V_I(t_1) = 3.3\text{V}$ $V_I(t_2) = 0$ e trova $V_X(t_2)$

$$V_{X\text{min}} = 0.7 - 3.3 \cdot \frac{50\text{f}}{150\text{f}} = -0.4\text{V}$$

- 2) Stesse cose con $V_I(t_1) = 1\text{V}$

$$V_{X\text{min}} = 0.7 - \frac{1}{3} \cong 0.37$$

$l_3)$ $W = 0,5 \mu\text{m}$ $L = 0,35 \mu\text{m}$
 $V_{BL}(t=0^-) = 3,3\text{V}$ $V_x(t=0^-) = 0$ $V_I(t=0^-) = 0$
 $I_{DS}(t=0^+) ?$ con $V_I \int_0^{3,3} - \text{Pseudo } i(x)$

$$\Delta V_x = \Delta V_I \frac{C_{FG}}{C_{FG} + C_G} \text{ che diventa}$$

$$V_x(0^+) = V_x(0^-) + \Delta V_I \frac{C_{FG}}{C_{FG} + C_G} =$$

$$= \frac{1}{3} V_{DD} = \underline{\underline{1,1\text{V}}}$$

$$V_x(0^+) = 1,1\text{V} > V_{TN} = 0,7\text{V} \text{ transistore on}$$

$$V_{GS} - V_{TN} = 1,1 - 0,7 = 0,4\text{V}$$

$$V_{DS} = V_{BL} \quad V_{DSini} = 3,3\text{V}$$

$$V_{GS} - V_{TN} = 0,4\text{V} < V_{DSini} = 3,3\text{V} \text{ saturazione}$$

$$I_{DS_{sat}} = \frac{\beta'_n}{2} \frac{W}{L} (V_{GS} - V_{TN})^2 =$$

$$= \frac{100 \mu\text{A}}{\text{V}^2} \cdot \frac{1}{2} \cdot \frac{0,5 \mu\text{m}}{0,35 \mu\text{m}} (0,4)^2 \text{V}^2 \cong 11,42 \mu\text{A} \cong 0,1 \text{mA}$$

Devo calcolare la scarica al 90% di un nMOS e dunque per la V_{DS} da V_{DD} a $0,1 V_{DD} = 0,33\text{V}$. Poiché tale valore finale è inferiore a $V_{GS} - V_{TN} = 0,4\text{V}$ il transistore attraversa entrambe le regioni di funzionamento (avevamo verificato nel punto precedente la zona di saturazione iniziale).

Non posso utilizzare il caso particolare della sezione C.1.1 del libro Franchi-Selmi poiché la $V_{GS} = 1,1\text{V}$ e non a V_{DD} .

SATURAZIONE: in tale fase

$$V_{DSI} = V_{DD} \quad V_{DSF} = V_{GS} - V_{TN} = 0,4\text{V}$$

$$t_{SAT} = \frac{2C_L}{\beta_n} \cdot \frac{V_{DSI} - V_{DSF}}{(V_{GS} - V_{TN})^2} = \frac{2C_L}{\beta_n \cdot \frac{W}{L}} \cdot \frac{V_{DD} - (V_{GS} - V_{TN})}{(V_{GS} - V_{TN})^2} =$$

$$= \frac{2 \cdot 1 \cdot 10^{-12}}{100 \cdot 10^{-6} \cdot \frac{0,5}{0,35}} \cdot \frac{3,3 - 0,4}{0,4^2} \cong \frac{0,7 \cdot 10^{-6}}{50} \cdot 18,125$$

REGIONE LINEARE:

$$V_{DSI} = V_{GS} - V_{TN} = 0,4\text{V} \quad V_{DSF} = 0,1 \cdot V_{DD} = 0,33\text{V}$$

$$t_{LIN} = \frac{2C_L}{\beta_n} \cdot \frac{1}{2(V_{GS} - V_{TN})} \ln \left(\frac{V_{DSI}}{V_{DSF}} \cdot \frac{2(V_{GS} - V_{TN}) - V_{DSF}}{2(V_{GS} - V_{TN}) - V_{DSI}} \right) = \frac{0,7 \cdot 10^{-6}}{50} \cdot \frac{1}{0,8} \cdot \ln \left(\frac{0,4}{0,33} \cdot \frac{0,8 - 0,33}{0,8 - 0,4} \right) \cong$$

$$= \frac{0,7 \cdot 10^{-6}}{50} \cdot 0,44$$

Il tempo totale risulta:

$$t_{TOT} = t_{SAT} + t_{LIN} \cong \frac{0,7 \cdot 10^{-6}}{50} \cdot (18,13 + 0,44) \cong 0,25998 \cdot 10^{-6} = 259,98 \text{ns}$$