

Studenti di Elettronica II e Circuito Digitali I.A. vedere A,B,C,D sul retro del foglio!

cognome	A	B	C	D	I	L
nome	4	2	1	1		
matricola						Totale

A Si dimensiona la cascata di gates in figura a ritardo minimo ($C_L = SpF$, $C_1/C_{IN} = 100$)

$C_{in} = \frac{C_L}{g_3} = 1,38 pF$ $C_L = \frac{C_L}{g_3} = 50,10 pF$
 $g_1 = \frac{4}{3}, g_2 = 1, g_3 = \frac{5}{3}$ $S_{in} = \alpha \cdot S_{in}$ $C_{in} = \frac{C_L}{g_3} = 227,72 fF$ $S_{in} = \alpha \cdot S_{in}$
 $F = 100, B = 1$ $S_{in} = S_{in} \Rightarrow Sp_1 = 450$ $C_{in} = C_L \cdot I^2 \cdot S_{in} \cdot (1 + \alpha)$ $S_{in} = \frac{S_{in}}{2} \Rightarrow Sp_1 = 30$
 $G = g_1 \cdot g_2 \cdot g_3 = \frac{20}{9}$ $S_{in} = \frac{Sp_1}{2}$ $S_{in} = 179,45 \Rightarrow 175$ $S_{in} = \frac{S_{in}}{Sp_1}$
 $\alpha = \sqrt{F/BG} = 6,06$ $C_{in} = C_L \cdot I^2 \cdot S_{in} \cdot (1 + \alpha)$ $Sp_1 = 358,90 \Rightarrow 359$ $C_{in} = C_L \cdot I^2 \cdot S_{in} \cdot (1 + 1)$
 $S_{in} = 652,48 \Rightarrow 653$ $Sp_1 = 2609,93 \Rightarrow 2610$ $S_{in} = Sp_1 = 59,22 \Rightarrow 60$

B Si calcoli la tensione finale a cui si porta il nodo X a seguito della chiusura dell'interruttore

$V_{x1}(0) = 0V$ $V_{x2}(0) = 0,3V$
 $C_1 = 10 pF$ $C_2 = 30 pF$
 $V_s = 5V$

$-141 fC = V_x \cdot 10 fF + V_x \cdot 30 fF - 5V \cdot 30 fF$
 $V_x = 0,225V$

C Se i transistori NMOS in un NAND a 3 ingressi hanno $S_n = 12$, quale deve essere S_p dei PMOS per avere fronti di discesa due volte più lenti di quelli di salita ($\alpha = K'_n/K'_p \cdot 1,5$)?

Considerando il caso peggiore $S_{pEQ} = S_n / 3$ e $S_{pEQ} = S_p$
 Se la rete di pull-down deve essere 2 volte piu' lenta:

$k_p = 2 \cdot k_n$
 $k'_p S_{pEQ} = 2 \cdot k'_n S_{nEQ}$
 $S_{pEQ} = S_p = 12$

D Tracciare la struttura di una cella SRAM. Tracciare le forme d'onda corrispondenti alla lettura della cella (mostrare word lines, bit lines e nodi interni).

A Se $C_{in} = 100 pF$, $C_{out} = 10 pF$, si dimensionano di transistori degli invertitori in modo da ottenere un buffer a ritardo minimo.

$G = \sqrt[3]{\frac{10}{0,1}} = 4,64$
 $C1 = 0,46 pF = CoxL^2(Sn1 + Sp1) = CoxL^2(Sn1 + \frac{k'_n}{k'_p} Sn1)$; $Sn1 = 366$; $Sp1 = 732$
 $C2 = 2,124 pF = CoxL^2(Sn2 + \frac{k'_n}{k'_p} Sn2)$; $Sn2 = 1676$; $Sp2 = 3351$

B Si calcoli la tensione finale a cui si porta il nodo X a seguito della chiusura dell'interruttore

$V_{x1}(0) = 0V$ $V_{x2}(0) = 0,3V$
 $C_1 = 10 pF$ $C_2 = 30 pF$
 $V_s = 5V$

$-141 fC = V_x \cdot 10 fF + V_x \cdot 30 fF - 5V \cdot 30 fF$
 $V_x = 0,225V$

C Se i transistori NMOS in un NAND a 3 ingressi hanno $S_n = 12$, quale deve essere S_p dei PMOS per avere fronti di discesa due volte più lenti di quelli di salita ($\alpha = K'_n/K'_p \cdot 1,5$)?

Considerando il caso peggiore $S_{pEQ} = S_n / 3$ e $S_{pEQ} = S_p$
 Uguaglio i fattori di conducibilità

$\frac{1}{2} k'_n S_{pEQ} = k'_n S_{nEQ}$ $S_{pEQ} = S_p = 12$

D Tracciare la struttura di una cella SRAM. Tracciare le forme d'onda corrispondenti alla lettura della cella (mostrare word lines, bit lines e nodi interni).

I.1	I.2	I.3	I.4	Totale
2	2	2	2	

Si assumo $V_{TP} = -0.2$, $V_{TN} = 0.7$, $S_p = 1$, $S_n = 2$ e si trascuri l'effetto Body ($\gamma = 0$)

- 1) Si tracci la caratteristica statica $V_i - V_x$, indicando le regioni di funzionamento dei transistori sul piano $V_i - V_x$. Si indichino tutti i punti in cui almeno uno dei due transistori cambia regione
- 2) Si calcolino i valori massimi e minimi della V_x
- 3) Si calcoli la soglia logica
- 4) In presenza di effetto Body ($\gamma = 0.2$), si calcoli il valore di $V_i > 0$ per il quale il transistor NMOS si accende

1) Il transistor nMOS si accende per $V_i > V_{TN} + V_{dd}/4 = 1.525$ ed è in regione di saturazione.
 Passa in zona triodo quando attraversa la retta
 $V_i - V_{dd}/4 - V_{TN} = V_x - V_{dd}/4$
 Il pMOS è in zona lineare per $V_i < 0V$ fino all'intersezione con la retta
 $V_x = V_i + 0.2 V$
 Trova la V_i per la quale i due transistori sono entrambi in saturazione:
 $I_{SAT} = I_{SAT}$: $(V_i - 1.525)^2 = (V_i + 0.2)^2 \Rightarrow V_i = 2.312 V$
 nMOS passa da saturazione a lineare quando $V_x = 2.312 - 0.7 = 1.612 V$
 pMOS passa da lineare a saturazione quando $V_x = 2.312 + 0.2 = 2.512 V$

2) Valore massimo: 3.3 V; valore minimo 0.825 V

3) La soglia logica si ha per $V_x = 2.312 V$

4) $V_{GS} - V_{TN} > 0V$
 $V_i - \frac{V_{DD}}{4} - (V_{TN} + \gamma \cdot (\sqrt{\phi_n - V_{GS}} - \sqrt{\phi_n})) > 0.3$
 $V_i > \frac{V_{DD}}{4} + V_{TN} + \gamma \cdot (\sqrt{\phi_n - \sqrt{\phi_n - V_{GS}}} - \sqrt{\phi_n - V_{GS}})$
 $V_i > 0.825 + 0.7 - 0.2 \cdot (\sqrt{\phi_n - \sqrt{\phi_n - 0.825}} - \sqrt{\phi_n - 0.825})$

Si noti che se si considera l'effetto Body, il transistor nMOS si accende con una V_i inferiore.

L.1	L.2	L.3	L.4	Totale
2	2	2	2	

Si assumo la capacità di ingresso dell'invertitore $C_{IN} = 50fF$:

- 1) Si realizzino le reti di PU e PD in modo che la funzione di uscita sia $O = AC + C(A + D \cdot B)$. Sono disponibili gli ingressi nelle due fasi
- 2) Si dimensionino la rete PU in modo che il ritardo di caso peggiore (90%) al nodo X sia 2ns
- 3) Si dimensionino la rete PD in modo che il ritardo di caso peggiore (90%) al nodo X sia 1ns
- 4) Assumendo i ritardi su X dei punti 2 e 3, e $C_{IN} = 500fF$, si dimensionino i transistori dell'invertitore in modo che la somma dei ritardi di salita e discesa (di caso peggiore) attraverso il gate e l'invertitore sia costante e pari a 4 nsec.

1) $X = \overline{AC} + C \cdot (A + \overline{DB}) = \overline{AC} + C \cdot (A + \overline{DB}) = \overline{AC} \cdot C \cdot (A + \overline{DB}) + (A + C) \cdot [\overline{C} + (A + \overline{DB})] = (A + C) \cdot [\overline{C} + (A \cdot \overline{DB})] = (A + C) \cdot [\overline{C} + (A \cdot (D + B))]$

Il percorso peggiore a pull-up è composto da 3 PMOS in serie
 $R_{p\text{tot}} = 3R_p$

ABCD pull-up OFF
 0011 pull-up ON
 0010 pull-up ON

Il percorso peggiore a pull-up è composto dal parallelo di 2 NMOS in serie ad altri 2 NMOS
 $R_{p\text{tot}} = 5/2 R_n$

ABCD pull-down OFF
 0010 pull-down OFF
 0011 pull-down ON

2) $2ns = \frac{2C_{IN}}{50 \cdot 10^{-6} \cdot \frac{S_p}{3}} \cdot 0.6211$ $S_p = 1.863$

3) $1ns = \frac{2C_{IN}}{100 \cdot 10^{-6} \cdot \frac{S_n}{5}} \cdot 0.6211$ $S_n = 1.552$

4) $t_{\text{discesa}} = \frac{2 \cdot 500 fF}{10^{-7} S_n} \cdot 0.6211 + 2nsec = 4nsec$
 $S_{n\text{opt}} = 3.11$
 $t_{\text{salita}} = \frac{2 \cdot 500 fF}{5010^{-6} S_p} \cdot 0.6211 + 1nsec = 4nsec$
 $S_{p\text{opt}} = 4.14$

$R_p = \frac{1}{3} \frac{t_{\text{opt}}}{C_L \cdot \ln 10} \cong 5,79 K\Omega$
 $S_p = \frac{S_{p\text{opt}} \cdot R_{n\text{opt}}}{R_p} \cong 1,86 \Rightarrow 2$
 $R_n = \frac{2}{5} \frac{t_{\text{opt}}}{C_L \cdot \ln 10} \cong 3,47 K\Omega$
 $S_n = \frac{S_{n\text{opt}} \cdot R_{p\text{opt}}}{R_n} \cong 1,55 \Rightarrow 2$
 $t_{\text{discesa}} = R_n \cdot C_L \cdot \ln 10 + 2nsec = 4nsec$
 $S_{n\text{opt}} = \frac{S_{p\text{opt}} \cdot R_{p\text{opt}}}{R_n} \cong 3,11 \Rightarrow 4$
 $t_{\text{salita}} = R_p \cdot C_L \cdot \ln 10 + 1nsec = 4nsec$
 $S_{p\text{opt}} = \frac{S_{n\text{opt}} \cdot R_{n\text{opt}}}{R_p} \cong 4,13 \Rightarrow 5$

PARAMETRI TECNOLOGICI ($V_{dd} = 3.3 \text{ V}$)

	n - channel	p - channel
V_{T0}	0.7 V	- 0.7
K'	100 $\mu\text{A}/\text{V}^2$	50 $\mu\text{A}/\text{V}^2$
C_{ox}	3.45 fF/ μm^2	3.45 fF/ μm^2
L_{min}	0.35 μm	0.35 μm
λ	0	0
γ	0	0
$R_{eq} (V_{gs} = V_{ds} , 90\%, S = 1)$	5.39 k Ω	10.78 k Ω

