

Esame di Circuiti Elettronici Digitali I.A. e Elettronica Digitale V.A.

Cognome:	[] [] [] [] [] [] [] []	Nome:	[] [] [] [] [] [] [] []	Totale:	
matricola					

A Descrivere la struttura e il funzionamento di una memoria non volatile a floating gate

B Illustrare in 50 parole il significato e l'importanza del parametro "prodotto ritardo-energia"

C A.A. 2004/2005. Illustrare brevemente le tre tipologie di processi tecnologici coinvolti nella realizzazione dei circuiti integrati.
A.A. precedenti: Spiegare a parole (meno di 50) perché nella tecnologia dominante (circuiti logici di tipo statico) si debbono necessariamente usare anche transistor a canale p, a più basse prestazioni rispetto ai loro corrispettivi a canale n.

D Spiegare con meno di 50 parole perché la tensione di soglia dei transistori resta fissata attorno agli 0.5 volti (mentre le tensioni di alimentazione sono scese con costinuità agli ultimi 20 anni).

$C_L = 100 \text{ fF}$

E1	E2	E3	E4	Totale	
2	2	2	2		

1) Si implementi la rete di PD dei gate domino in modo che l'uscita realizzi la seguente funzione logica $O = (A+B)C + A'B'C$

2) Dimensionare l'intermetallo *in* modo che a seguito di un fronte sul nodo X i ritardi di propagazione sull'uscita siano inferiori o pari a 50 ps e calcolare la capacità di ingresso C_X

3) Considerando la capacità sul nodo X di 120f, dimensionare la logica dinamica in modo da ottenere tempi di propagazione e di valutazione di caso peggiore pari a 50ps.

4) Se il circuito viene fatto commutare a 60MHz, calcolare la potenza dinamica dissipata dai gate domino

F1	F2	F3	F4	Totale	
2	2	2	2		

Domanda a

- Si ricavi la funzione logica al nodo X quando $\Phi=1$ e quando $\Phi=0$
- Si calcolino le tensioni al nodo X per i rispettivi valori logici (si traccini l'effetto Body)

Domanda b

- Si dimensioni il NAND in modo che PU e PD abbiano gli stessi tempi di transizione ($S_N = 10$). Si calcoli l'area, la capacità di ingresso C_X e il valore di soglia logica della porta.

G1	G2	G3	G4	Totale	
2	2	2	2		

1) Data una capacità di carico 625 volte più grande di quella "tipica" all'interno di un processo di calcolo di un circuito, dimensionare in modo "ottimo" un buffer composto di 3 stadi.

2) Considerare la casata di un NOR CMOS a tre ingressi (A,B,C) e un NAND FCMOS a 2 ingressi (D,GUT1). Nel caso sia $A=0, B=0, C=1, D=1$, dimensionare i transistori interessati alle transizioni che possono avere luogo in presenza di questa configurazione in modo che i tempi di attraversamento delle due porte logiche si equivalgano (considerare il fattore di forma dei pMOS del NOR = 2).

Blank area for student response.

PARAMETRI TECNOLOGICI ($V_{dd} = 3.3 \text{ V}$)

	n channel	p channel
V_{Tn}	0.7 V	-0.7
β'	$100 \mu\text{A/V}^2$	$50 \mu\text{A/V}^2$
C_{ox}	$3.45 \text{ fF}/\mu\text{m}^2$	$3.45 \text{ fF}/\mu\text{m}^2$
L_{min}	$0.35 \mu\text{m}$	$0.35 \mu\text{m}$
λ	0	0
γ	0	0

Blank area for student response.