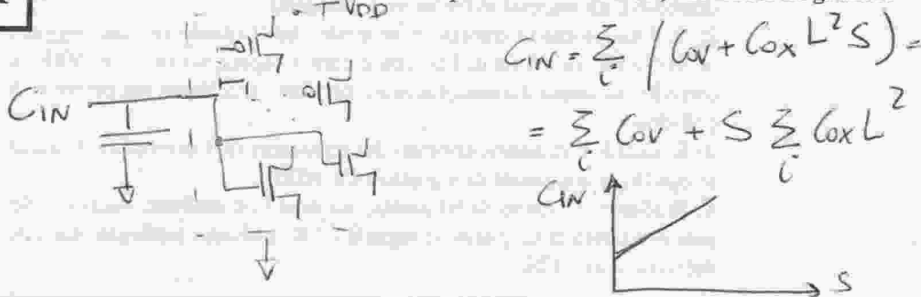


cognome												
	A	B	C	D	I	L	LB	II	LA	Totale		
nome	2	2	2	2								
	matricola											

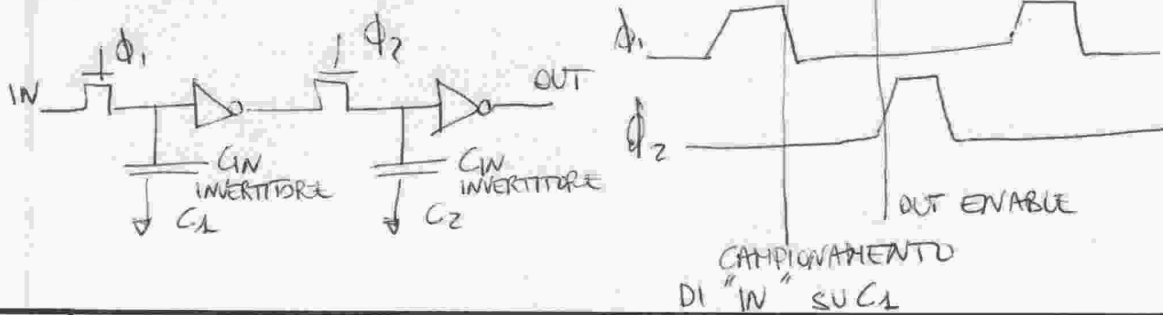
A Come varia il valore della capacità di ingresso di un gate in funzione del dimensionamento dei transistori (si assuma lo stesso dimensionamento S per tutti i transistori)? Si tracci un grafico.



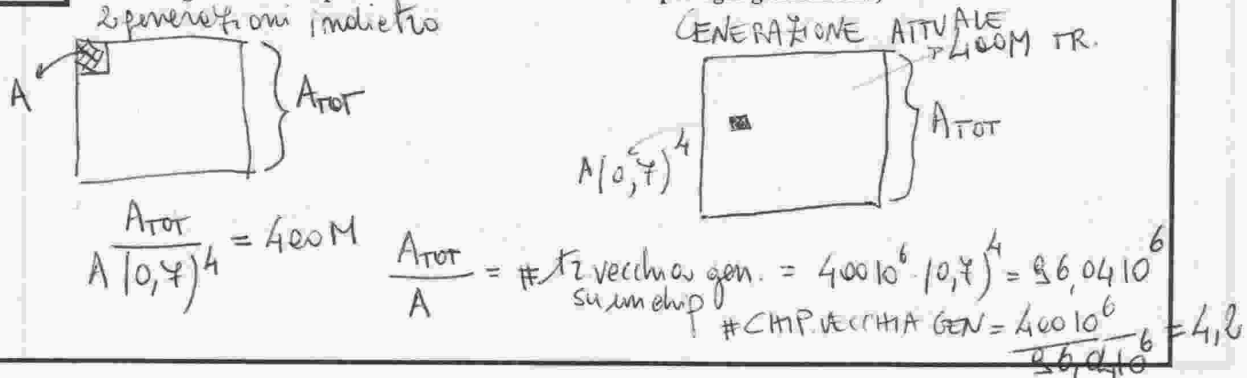
B Come varia la capacità di gate per unità di superficie al progredire della tecnologia? Si motivi la risposta in meno di 60 parole.

Capacità per unità di superficie $\propto \frac{\epsilon_{ox}}{t_{ox}}$
 t_{ox} cala al progredire della tecnologia \Rightarrow la capacità per unità di superficie aumenta

C Si tracci lo schema di un flip-flop dinamico master-slave in tecnologia CMOS. Se ne illustri il funzionamento (in meno di 60 parole).



D Se un chip contiene 400M di transistori, quanti chips delle stesse dimensioni erano necessari per contenere 400M di transistori in una tecnologia di due generazioni più vecchia della attuale? (si ricordi che le lunghezze dei dispositivi scalano di un fattore 0.7 per ogni generazione)



I1	I2	I3	I4	Totale
2	2	2	2	

1) Si realizzi la rete di pull down X con al massimo 4 NMOS (sono disponibili gli ingressi in forma vera e negata)

2) Si dimensionino i transistori in modo che il ritardo di caso peggiore (al 90%) sul nodo I sia di 1ns, con il carico capacitivo su I $C_I = 250fF$. Si consideri lo stesso dimensionamento per tutti i transistori del percorso di pull-down.

3) Si calcoli il dimensionamento dei transistori dell'invertitore di uscita se $S_p = 2S_n$ e la capacità di ingresso vale 100fF

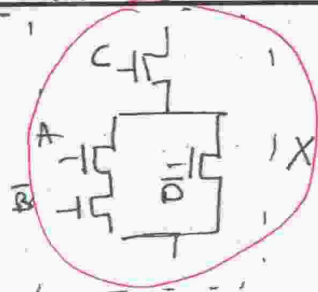
4) Si illustri (in meno di 60 parole) un possibile malfunzionamento del gate se a causa di un guasto il segnale CLK risultasse scollegato dal gate del transistor TCN.

① $O = \overline{A}B'C + C\overline{D}$ $\overline{O} = \overline{\overline{A}B'C + C\overline{D}} = \overline{C(\overline{A}B + \overline{D})}$

② $1 \cdot 10^{-9} \geq \frac{2 \cdot 250 \cdot 10^{-15}}{10^{-4} \cdot S_{meq}} \cdot \frac{1}{V_{DD} - V_{TN}}$

$\left(\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} - V_{TN}) - V_{OUTF}}{V_{OUTF}} \right) \right) = 0,33$

$= \frac{500 \cdot 10^{-11}}{S_{meq}} \cdot 0,621 \Rightarrow S_{meq} \geq 3,2 \Rightarrow S_N = 4 \cdot S_{meq} = 12,8$



③ $G_N = C_{ox} \cdot L^2 (S_N + S_p) = C_{ox} L^2 (S_N + 2S_N) = 3,45 \cdot 10^{-15} \cdot (0,35)^2 \cdot 10^{-12} \cdot 3 S_N$

$S_N = \frac{100 \cdot 10^{-15}}{3,45 \cdot 10^{-15} \cdot (0,35)^2 \cdot 3} = 78,84$; $S_p = 157,68$

④ Se il gate del transistor TCN è scollegato da CLK, esso può assumere arbitrariamente valori di tensione sopra o sotto soglia.

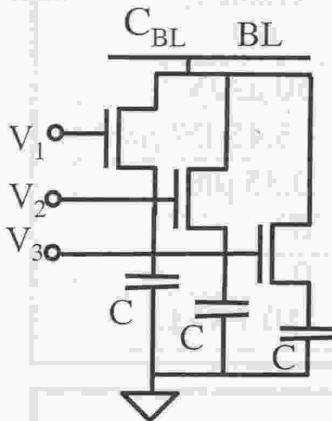
Se $G_{TCN} \geq V_{TN}$ durante la fase di ricarica, il nodo I potrebbe non essere abbastanza superiore la soglia logica dell'invertitore e portare così a delle possibili scariche indesiderate dell'uscita del gate durante il successivo.

Se $G_{TCN} \leq V_{TN}$ durante la valutazione, il nodo I potrebbe non essere scaricato anche se il percorso di X è conduttivo.

L

L1	L2	L3	L4
2	2	2	2

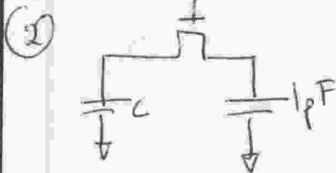
Totale



Data $C_{BL}=1pF$, e assumendo BL precaricata a V_{dd} con V_1, V_2, V_3 inizialmente a 0,0,0. Si assumano i transistori ad $S=1$.

- 1) Si indichi la configurazione di V_1, V_2, V_3 che porta al valore minimo la tensione in BL.
- 2) Si dimensioni C in modo che la tensione a cui si porta BL in presenza della configurazione $V_1, V_2, V_3=1,0,0$ sia 2V.
- 3) Con C dimensionata come al punto 2, si calcolino i possibili valori di BL per tutte le configurazioni di V_1, V_2, V_3 .
- 4) Qual è il transistoro di scarica più veloce, quale il più lento? Si giustifichi la risposta. Ipotizzare che durante i transistori la BL resti a V_{dd} (in meno di 60 parole).

1) $V_1 = V_2 = V_3 = V_{DD}$



CONDIZIONI STATICHE

$V_1 = V_2 = V_3 = 0$

$Q = 1pF \cdot 3 \cdot 3V = 3,3 \cdot 10^{-12} C$

CONDIZIONI STATICHE

$V_1 = 1 \quad V_2 = V_3 = 0$

$Q = C \cdot 2V + 1pF \cdot 2V$

$C = \frac{3,3 \cdot 10^{-12} - 2 \cdot 10^{-12}}{2} = 0,65 \cdot 10^{-12} F$

3) $C = 0,65pF$

V_1	V_2	V_3	BL FINALE (V)
0	0	0	3,3
1	0	0	2
0	0	1	2
0	1	0	2
1	1	0	1,43
0	1	1	1,43
1	0	1	1,43
1	1	1	1,12

$\frac{2C}{3,3 \cdot 10^{-12}} = 2C \cdot x + 10^{-12} x$
 $x = \frac{3,3 \cdot 10^{-12}}{2C + 1} = 1,43$

4) transitorio di carica delle capacità C attraverso MOS

$t = \frac{2(G_{on})}{\beta_m \text{Seg}} \left(\frac{1}{V_{GSF} - V_{TH}} \right) \cdot \frac{1}{V_{GSF} - V_{TH}}$

costante per i 3 casi

costante

$V_{GSF} < 1,3 (C)$
 $V_{GSF} < 1,87 (2C)$

2,18 (3C) \Rightarrow V_{GSF} maggiore, t minore