

# Sintesi su FPGA e caratterizzazione di una Network on Chip (NoC)

## 1. Introduzione

Questa esercitazione si colloca nell'ambito della realizzazione di una piattaforma di simulazione per sistemi embedded multiprocessore (MPSIM). Tale piattaforma ha come obiettivo quello di permettere l'investigazione di metodi per ottimizzare la performance, in velocità e dissipazione, di System-On-Chip (SoC).

Un elemento chiave, in questa ottica, è l'interconnessione tra i vari core di sistema. Al fine di ottenere la massima scalabilità, sono in fase di sviluppo sistemi a commutazione di pacchetto analoghi a quelli impiegati in contesti Intra/Internet: tali sistemi sono detti Networks-on-Chip (NoCs).

## 2. Scopo del Progetto

Obiettivo finale del progetto sarà il mapping su FPGA di una NoC (xpipes) già sviluppata internamente e descritta con codice sintetizzabile. Su tale NoC dovranno essere eseguiti alcuni test di funzionalità. Inoltre dovrà essere modificata la network interface (NI) in modo da poter connettere i processori PowerPC presenti sulla FPGA alla NoC. Durante le fasi del progetto sarà possibile interagire e familiarizzarsi con la toolchain Xilinx e con alcuni dei tool Synopsys.

## 3. Passi implementativi

Lo sviluppo del progetto potrà essere portato avanti in più fasi.

### 3.1 Prima fase

Obiettivo: analisi del codice SystemC di xpipes e sua traduzione automatica in Verilog o VHDL.

Durante questa fase, verrà studiato il codice SystemC che descrive la NoC xpipes. In questa fase sarà possibile cominciare ad analizzare i punti in cui sia opportuno inserire agganci per la rilevazione di statistiche. Poiché una descrizione SystemC non è direttamente sintetizzabile, verrà poi usato un tool di Synopsys per la traduzione automatica in Verilog o VHDL.

### 3.2 Seconda fase

Obiettivo: mapping su FPGA ed analisi dell'occupazione di area.

Basandosi sul codice Verilog o VHDL precedentemente ottenuto, si userà la toolchain Xilinx per mappare una istanza di xpipes su FPGA. Al termine, sarà interessante una rapida comparazione delle statistiche di utilizzo di area al variare di alcuni parametri della NoC (flit width, topologia).

### 3.3 Terza fase

Obiettivo: validazione del modulo.

In questo passaggio, la topologia xpipes dovrà essere sottoposta a test tramite iniezione di traffico per mezzo di traffic generators. Dovrà essere verificata la funzionalità della NoC su FPGA.

### 3.4 Quarta fase

Obiettivo: modifica della NI, in modo da consentire ai cores PowerPC di interfacciarsi direttamente con la NOC.

Il frontend della NI dovrà essere modificato e ri-sintetizzato. Come obiettivo finale, dovrà essere eseguita una simulazione funzionale di NoC in cui il traffico sia generato, almeno in parte, dai processori che vi si interfacciano.

#### **4. Documentazione**

- [www.systemc.org](http://www.systemc.org)
- Manualistica Synopsys (non disponibile pubblicamente)
- Manualistica Xilinx
- Letteratura tecnica disponibile presso il laboratorio
- <http://www.cs.ucr.edu/content/esd/labs/tutorial/>
- <http://www.gmvhdl.com/VHDL.html>