

CARATTERIZZAZIONE DELL'IMPATTO DELLA FREQUENZA OBIETTIVO NELLA SINTESI DI UNO SWITCH PER NETWORK-ON-CHIP (NoC)

Ing. F. Angiolini

TIPO DI PROGETTO: **

INTRODUZIONE

I progressivi miglioramenti dei processi litografici permettono di inserire un numero crescente di dispositivi (processori, unità dedicate, memorie) su un singolo chip. Questo comporta crescenti requisiti di risorse di comunicazione per il funzionamento del sistema. Una risposta scalabile è data dalle Network-on-Chip (NoC), analoghe alle reti a commutazione di pacchetto (ad es. LAN, Internet) ma adattate per il funzionamento on-chip. Uno dei componenti chiave di una NoC è lo switch o router, che si occupa di instradare i pacchetti dalle proprie porte di ingresso a quelle di uscita secondo una opportuna politica di arbitraggio.

Per istanziare una NoC su chip, è indispensabile eseguire un processo di sintesi. Durante questo processo, uno dei parametri chiave da fornire ai tool CAD è la frequenza obiettivo alla quale si desidera che i componenti siano in grado di lavorare. Di solito, tale frequenza è la massima possibile. Tuttavia, per conseguire la massima performance, i tool CAD procedono ad una serie di scelte di sintesi (ad es. massiccio uso di buffer e di gate ad alta dissipazione) che penalizzano area e consumo di potenza. Qualora il componente dovesse essere integrato insieme ad altri più lenti, tali “ottimizzazioni” si rivelerebbero non solo inutili ma controproducenti. Per esempio, sintetizzando due switch architetturealmente identici con frequenze obiettivo di 1 GHz e di 800 MHz, e poi impiegando entrambi i componenti ad 800 MHz, il secondo sarebbe più efficiente in area e potenza.

OBIETTIVO

Lo switch per NoC verrà fornito come componente già modellato e testato. Obiettivo del progetto sarà, per un insieme di configurazioni dello switch, lo studio sistematico della penalità introdotta da un processo di sintesi mirato ad una frequenza operativa più alta di quella effettivamente usata in pratica.

SVOLGIMENTO

- Individuazione di un insieme di configurazioni di interesse per esplorare lo spazio di progetto (ad es., sintesi con frequenza obiettivo di 600, 700, 800, 1000, ... MHz e funzionamento effettivo a 600, 700, 800 MHz, in corrispondenza di alcuni valori dei parametri dello switch)
- Sintesi delle varie istanze dello switch tramite un flusso ben collaudato che porta alla definizione di opportune “netlist” (reti di gate elementari appartenenti ad una specifica libreria tecnologica)
- Placement&routing (disposizione delle netlist su un “floorplan”, in modo da poter conoscere la lunghezza dei fili di interconnessione). Risultato: area
- Simulazione in presenza di varie quantità di traffico in ingresso, in modo da correlare il traffico iniettato ad una percentuale di switching activity dei gate

- Analisi all'interno di un apposito tool per la stima del consumo di potenza. Risultato: dissipazione di potenza dinamica sia alla frequenza obiettivo che alla frequenza effettiva
- Estrapolazione di un modello che correli l'overhead di area e consumo di potenza alla distanza tra frequenza obiettivo e frequenza effettivamente adottata

PREREQUISITI

E' utile, ma non indispensabile, la conoscenza di linguaggi di descrizione dell'hardware (VHDL, Verilog) e del flusso di sintesi da questi linguaggi verso un'implementazione su chip.