

SVILUPPO DI UN ACCELERATORE FLOATING POINT PER SISTEMI INTEGRATI ON-CHIP

Ing. F. Angiolini (fangiolini@deis.unibo.it)

TIPO DI PROGETTO: */**

INTRODUZIONE

Lo sviluppo delle architetture embedded ad alta integrazione coinvolge un numero crescente di elementi di computazione general-purpose o dedicati, il cui obiettivo è la massima efficienza energetica e la minima occupazione d'area. Questo vincolo rende infrequente la disponibilità di unità di esecuzione floating point all'interno dei processori general-purpose; al contrario, sono molto diffusi blocchi DSP (Digital Signal Processor) o altri acceleratori on-chip in grado di effettuare calcoli floating point, ma l'interazione con questi ultimi richiede spesso uno sforzo considerevole da parte del programmatore, che deve lavorare a basso livello ed in linguaggi non familiari. Questo rende desiderabile lo sviluppo di un acceleratore generico, a bassa latenza, strettamente legato al processore general-purpose su cui il programmatore vuole eseguire il proprio codice, e di una libreria minimale per lo sfruttamento di tale acceleratore.

OBIETTIVO

Il progetto partirà da una piattaforma virtuale scritta in SystemC e già disponibile per l'uso. Tale piattaforma contiene dei processori ARM per i quali è possibile scrivere normale codice C/C++, ma non contiene nessun acceleratore floating point. Obiettivo del progetto sarà l'aggiunta di un acceleratore di questo tipo, programmabile tramite registri memory-mapped, ed aderente per quanto possibile allo standard IEEE 754. Inoltre sarà richiesto lo sviluppo di una semplice libreria C che renda immediato l'utilizzo di questo acceleratore dall'interno di un normale programma general-purpose.

SVOLGIMENTO

- Sviluppo di un semplice dispositivo SystemC memory-mapped in grado di interagire con la piattaforma virtuale di partenza
- Scambio di informazioni e comandi con il dispositivo da parte del processore, per mezzo di letture/scritture in memoria
- Raccolta di informazioni sullo standard IEEE 754
- Implementazione di quante più operazioni floating point possibile (da concordarsi durante il progetto) all'interno del dispositivo
- Supporto per un numero configurabile di cicli di latenza a seconda delle operazioni da eseguire
- Sviluppo di una semplice libreria C per il caricamento di dati dal processore verso l'acceleratore floating point; per l'innesco le operazioni floating point desiderate; per la raccolta di risultati quando pronti. Potrà essere necessaria l'introduzione di tipi di dato custom, oppure potrebbe essere possibile il riutilizzo dei tipi di dato standard del C/C++

PREREQUISITI

Sarà utilizzato il linguaggio SystemC, presentato durante il corso. Sebbene il progetto non richieda una conoscenza approfondita del linguaggio, una familiarità di base è richiesta, e dovrà eventualmente essere acquisita durante il progetto stesso.

INFORMAZIONI ADDIZIONALI

Il progetto viene considerato di impegno *, ma può essere esteso ad impegno ** a seconda della vicinanza allo standard IEEE 754, del numero di operazioni floating point supportate, della varietà di precisioni floating point disponibili ("single" a 32 bit, "double" a 64 bit, "long double" ad 80 bit) e dell'immediatezza di uso della libreria ad alto livello.

[1] IEEE 754 Standard, <http://grouper.ieee.org/groups/754>

[2] SystemC Community, <http://www.systemc.org>

[3] Virtual Platform MPSIM, <http://www-micrel.deis.unibo.it/sitonew/research/mparm.html>