

SVILUPPO DI NETWORK INTERFACE (NI) PER NETWORK-ON-CHIP (NoC) A BASSA OCCUPAZIONE DI AREA

Ing. F. Angiolini (fangiolini@deis.unibo.it)

TIPO DI PROGETTO: *

INTRODUZIONE

I progressivi miglioramenti dei processi litografici permettono di inserire un numero crescente di dispositivi (processori, unità dedicate, memorie) su un singolo chip. Questo comporta crescenti requisiti di risorse di comunicazione per il funzionamento del sistema. Una risposta scalabile è data dalle Network-on-Chip (NoC), analoghe alle reti a commutazione di pacchetto (ad es. LAN, Internet) ma adattate per il funzionamento on-chip. I due componenti fondamentali di una NoC sono lo switch (o router), che costituisce l'effettiva interconnessione tra i componenti, e la Network Interface (NI), che si occupa di convertire le transazioni tra il formato nativamente utilizzato dai processori ed il formato a pacchetti. Questi componenti sono normalmente progettati in modo tale da supportare transazioni bidirezionali, cioè coppie richiesta/risposta, tra i processori e le memorie di sistema.

Visto il dominio di applicazione on-chip, è evidente come sia essenziale ridurre al minimo i requisiti di area e dissipazione di potenza di ciascuno di questi componenti. Data l'esistenza di tipi di dispositivi che, per il loro normale funzionamento, eseguono esclusivamente transazioni di scrittura, un modo per risparmiare risorse consiste nell'ottimizzare le NI a loro associate in modo da eliminare la logica dedicata al supporto del canale di risposta.

Il progetto permetterà allo studente di familiarizzarsi con linguaggi di modellazione e descrizione dell'hardware come SystemC e Verilog, e di prendere contatto con i tool per la sintesi dell'hardware.

OBIETTIVO

La NI verrà fornita già pronta all'uso, dotata di un canale di richiesta e di un canale di risposta, e con un'infrastruttura di istanziazione per inserirla all'interno di una topologia NoC completa, comprendente altre NI, switch e processori. Il tutto sarà sia simulabile che sintetizzabile. L'obiettivo del progetto sarà la rimozione del canale di risposta da una delle NI del sistema, e la valutazione del conseguente risparmio di area.

SVOLGIMENTO

- Individuazione di una topologia NoC di interesse e sua istanziazione
- Sintesi di una NI in isolamento e della topologia completa, giungendo alla definizione di opportune "netlist" (reti di gate elementari appartenenti ad una specifica libreria tecnologica)
- Sostituzione di uno dei processori di sistema con un Traffic Generator, già disponibile, e sua configurazione per generare solo transazioni di scrittura

- Eliminazione del canale di risposta della NI collegata al Traffic Generator
- Ottimizzazioni conseguenti nella topologia NoC (ad es. eliminazione delle risorse necessarie a veicolare i pacchetti verso il suddetto canale di risposta)
- Simulazione del sistema per verificarne la corretta funzionalità
- Nuova sintesi della NI in isolamento e della topologia completa, in modo da valutare i risparmi d'area conseguiti

PREREQUISITI

Sarà utilizzato il linguaggio SystemC, presentato durante il corso. Sebbene il progetto non richieda una conoscenza approfondita del linguaggio, una familiarità di base è richiesta, e dovrà eventualmente essere acquisita durante il progetto stesso.

E' utile, ma non indispensabile, la conoscenza di linguaggi di descrizione dell'hardware (VHDL, Verilog) e del flusso di sintesi da questi linguaggi verso un'implementazione su chip.

INFORMAZIONI ADDIZIONALI

[1] OCP International Partnership, <http://www.ocpip.org> (le specifiche OCP 2.0 sono scaricabili gratuitamente per fini accademici)

[2] SystemC Community, <http://www.systemc.org>

[3] William J. Dally and Brian Towles, *Principles and Practices of Interconnection Networks*, Morgan Kaufmann, 2004

[4] Virtual Platform MPSIM, <http://www-micrel.deis.unibo.it/sitonew/research/mparm.html>