

OTTIMIZZAZIONE DELLO STADIO DI EXECUTE DI UN PROCESSORE VLIW

Ing. G. Paci: giacomo.paci@unibo.it

INTRODUZIONE

I sistemi embedded low power per applicazioni mobili di nuova generazione sono costituiti da piattaforme eterogenee contenenti processori ed attuatori analogici nello stesso supporto in silicio. L'orientamento ad una elevata efficienza energetica del sistema predilige l'utilizzo di processori VLIW (Very Long instruction word) nei quali una singola istruzione codifica più operazioni. In tal modo il codice sorgente dovrà esplicitare il parallelismo dell'algoritmo, permettendo una più semplice logica di controllo per capacità computazionali tipiche dei sistemi superscalari, al fine di incrementare l'efficienza energetica del processore.

Essendo il tempo di sviluppo uno dei fattori chiave per la commercializzazione del sistema, sono presenti in commercio tool di progettazione assistita dal calcolatore che permettono la realizzazione di un processore partendo dalla sua descrizione strutturale, come l'ambiente LISA Tek di CoWare.

OBIETTIVO

Il progetto prevede l'analisi e sviluppo del già esistente processore VEX con architettura VLIW descritto in linguaggio LISA e completo di flusso di sintesi. Lo sviluppo sarà finalizzato all'ottimizzazione dello stadio di execute agendo su i vari parametri di sintesi e valutando i benefici di una possibile suddivisione di tale stadio con l'introduzione di un ulteriore registro di pipe.

SVOLGIMENTO

- Compilazione e simulazione di processori con linguaggio LISA.
- Compilazione in linguaggio vhdl da sorgenti LISA.
- Sintesi e simulazione di sorgenti vhdl.
- Sviluppo dello stadio di execute ed analisi.
- Estensione della pipeline tramite suddivisione dello stadio di execute