

# Metodologie di Progettazione Hardware Software

## Synch/Asynch Xpipes Converter

A.A. 2007-2008

Ing Loi Igor ([igor.loi@unibo.it](mailto:igor.loi@unibo.it))

Tipo Di progetto:

**Introduzione:** La legge di Moore afferma che il numero di transistor in un chip raddoppia ogni circa 2 anni, osservazione tuttora valida, nonostante sia stata formulata 42 anni fa. Il principale contributo che ha fatto sopravvivere questa legge è stato lo scaling tecnologico dei transistor (attualmente sono in produzione chip con tecnologia 65nm), introduzione di nuovi materiali (low K e Cu) e adozione di nuove tecniche di Back-end (3DICs).

Riducendo la lunghezza di gate di un transistor, diminuisce la sua area ed aumentano le prestazioni in quanto diminuiscono le capacità parassite. In questo contesto, proprio negli ultimi anni abbiamo assistito ad una corsa sfrenata al GHz tra AMD ed Intel, sfiorando la frequenza di 4 GHz.

Generalmente, la quasi totalità dei Sistemi integrati presenti sul mercato utilizza uno schema di comunicazione sincrono con il clock, in cui lo stato del sistema commuta in corrispondenza dei fronti di salita del clock. Questo rapido incremento delle prestazioni negli attuali circuiti integrati è stato reso possibile dallo sviluppo di nuove tecniche di progettazione Sincrone.

Uno dei principali vantaggi dei sistemi sincroni è la testabilità e l'automazione: le principali tecniche di Design For Testability sono state ideate per design Sincroni, e la maggior parte dei tool di Sintesi e librerie Tecnologiche sono ottimizzate per questo tipo di progettazione.

Esistono comunque alcuni trade-off che devono essere presi in considerazione durante il progetto di un circuito integrato:

1. Potenza dissipata: la rete di distribuzione del clock globale, negli attuali microprocessori, consuma fino al 50% della potenza totale dissipata dall'intero chip. Il clock, non viene mai spento, per cui tutti i registri presenti nel sistema switchano inevitabilmente, anche se non necessario (dissipando potenza): il clock gating è una tecnica sviluppata inizialmente nei dispositivi mobile, per inibire il clock qualora non necessario, ma inevitabilmente incrementa la complessità del design.
2. Interferenza elettromagnetica: è generata dal segnale di clock ed amplificata dai lunghi wire della rete di distribuzione del clock. Dal momento che le dimensioni in gioco dei wire diminuiscono mentre le dimensioni dei chip aumentano, la rete di distribuzione del clock (il cui compito è quello di far pervenire il segnale di clock in fase a tutti i registri) è una delle parti più delicate della progettazione, ed a seconda dello skew richiesto, implica l'utilizzo di una enorme quantità di buffer, quindi aumenta la potenza e conseguentemente il calore generato.

L'approccio Asincrono è diametralmente opposto: low power ma le prestazioni sono nettamente inferiori, per cui la tendenza negli ultimi anni è quella di progettare SoC ed MPSoC con una tecnica

ibrida denominata GALS (Globally Asynchronous Locally Synchronous) in cui il sistema funziona localmente in modalità sincrona e globalmente in modalità asincrona.

Nell'ambito di MPSoC possiamo collocare le Network on Chip (NoC) in cui diversi Processing Elements PE (ovvero CPU, memorie, IO device etc.) comunicano tra di loro attraverso una vera e propria Network, utilizzando un protocollo di rete. Quando il numero di PE sale la complessità e l'occupazione spaziale della NoC cresce, per cui se si vuole contenere il consumo di potenza ed area, occorre adottare un approccio GALS.

Il progetto prevede la progettazione di un blocco Master/Slave asincrono per la comunicazione IntraChip e interchip (NoC 3D) nell'ambito del progetto Xpipes.

Il progetto permetterà allo studente di familiarizzarsi con linguaggi di modellazione e descrizione dell'hardware come il Verilog, e di prendere contatto con la specifica architetturale di un sistema di interconnessione avanzato.

**OBIETTIVO:** La NoC verrà fornita già pronta all'uso, modellata in Verilog e simulabile e Sintetizzabile. Lo studente dovrà per prima cosa separarla in due o più domini (entità locali). Dovrà poi sviluppare il blocco di conversione Sincrono/Asincrono e viceversa per interfacciare questi due domini. A seconda del tempo rimanente, dovrà poi verificare la sintetizzabilità del dispositivo.

## **SVOLGIMENTO:**

- Individuazione di una topologia NoC di interesse (topologia a forma di H)
- Partizionamento della topologia in modo da avere almeno due sottodomini Sincroni (lungo il link tra 2 switch)
- Sviluppo del Blocco GALS Sinc -> Asinc
- Sviluppo del Blocco GALS Asinc -> Sinc
- Inserimento dei Blocchi GALS nella topologia precedentemente istanziata
- Verifica funzionale
- Tempo permettendo, sintetizzabilità e verifica della del Blocco GALS

**PREREQUISITI:** L'hardware dovrà essere progettato utilizzando il linguaggio HDL Verilog. E' richiesta una minima base di familiarità con tale linguaggio, quello che serve per poter iniziare il progetto. E' utile, ma non indispensabile, la conoscenza del flusso di sintesi da questi linguaggi verso un'implementazione su chip. La codifica del componente avrà infatti luogo in stile "RTL" (Register Transfer Level).