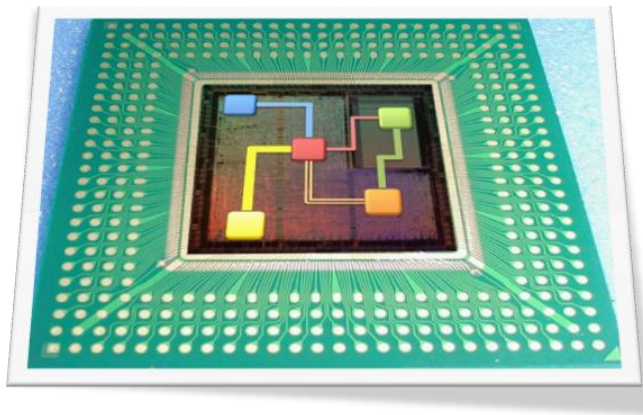


Firewall per Network-on-Chip

Scenario

Le Network-on-Chip (NoC) sono considerate la colonna portante dei chip integrati della prossima generazione. Le Network-on-Chip promettono di risolvere alcuni dei più pressanti problemi di integrazione di chip con decine o centinaia di cores: interoperabilità di cores eterogenei, disponibilità di banda, bassa latenza, wiring efficiente e veloce.

Le Network-on-Chip trovano un ambito applicativo ideale in terminali mobili, come gli smartphone. In questi sistemi è consueto l'utilizzo di software di terze parti, ad es. applicazioni scaricate da Internet. In questi casi, sorgono problematiche di sicurezza. Una soluzione innovativa consiste nello sviluppo di firewall hardware direttamente on-chip: i pacchetti possono essere monitorati direttamente alla sorgente o mentre in transito, e scartati se indirizzati a regioni di memoria protette o non sovrascrivibili. Tali regioni possono essere configurate a runtime, per es. dal sistema operativo.



Obiettivo del progetto

Scopo del progetto è la progettazione, realizzazione e caratterizzazione di un componente firewall per Network-on-Chip. Tale componente deve essere in grado di filtrare il traffico in base al mittente, alla destinazione (e in particolare all'indirizzo all'interno dello spazio di memoria della destinazione), ed in base al fatto di rappresentare una lettura o una scrittura.

Passi Implementativi

La realizzazione del progetto attraversa diversi passi, che possono essere considerati punti di verifica dell'andamento del lavoro al termine dei quali (ma non solo) è consigliato un confronto con i responsabili del progetto:

- Sviluppo in Verilog di un firewall minimale, in grado di filtrare solo un preciso tipo di transazione.
- Verifica del comportamento del firewall in presenza di transazioni "legali" e "vietate".
- Supporto per la riprogrammabilità a runtime del firewall.
- Caratterizzazione del costo in area e potenza del firewall al variare del numero di regole supportabili.

Aspetti Formativi

La scelta di questi progetti è consigliata a chi vuole acquisire esperienza:

- nella progettazione a livello RTL (Register Transfer Level)
- nell'utilizzo di linguaggi di descrizione dell'hardware, in particolare Verilog e/o SystemC
- nella simulazione di sistema in una piattaforma di simulazione SystemC e/o in tool dedicati (ModelSim)
- nella progettazione e caratterizzazione di Network-on-Chip
- nel flusso di implementazione fisica di blocchi hardware, in particolare sintesi con Synopsys Design Compiler

References

L. Benini, G. De Micheli, G., "Networks on Chips: Technology and Tools", *Morgan Kaufmann*, 2006.

Tutor:

Ing. Igor Loi
Ing. Federico Angiolini

igor.loi@unibo.it
federico.angiolini@unibo.it